

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

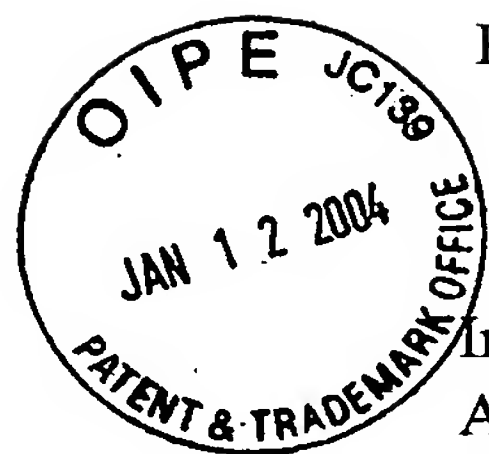
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



Patent

Customer No. 31561
Application No.: 10/605,010
Docket No. 10876-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Hu et al.
Application No. : 10/605,010
Filed : September 1, 2003
For : CMOS TRANSISTOR AND COMS-BASED DEVICE
Examiner : Art unit: 2811

ASSISTANT COMMISSIONER FOR PATENTS

Arlington, VA22202

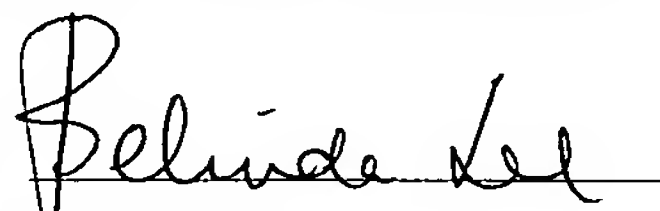
Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 092112792, filed on: 2003/05/12.

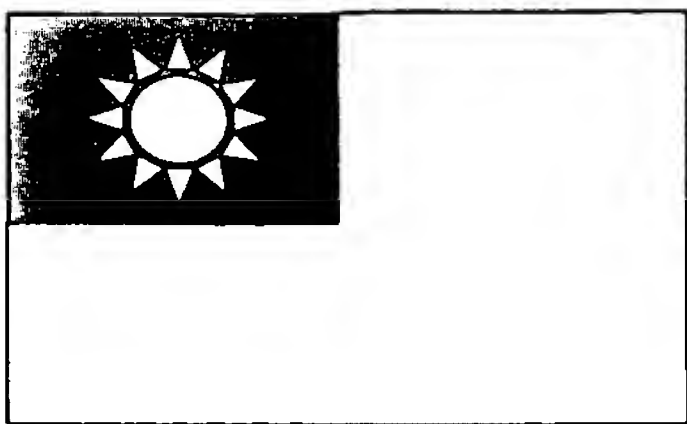
A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: Jan. 8, 2004.

By: 
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:
7F.-1, No. 100, Roosevelt Rd.,
Sec. 2, Taipei 100, Taiwan, R.O.C.
Tel: 886-2-2369 2800
Fax: 886-2-2369 7233 / 886-2-2369 7234



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 05 月 12 日
Application Date

申請案號：092112792
Application No.

申請人：友達光電股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 9 月 23 日
Issue Date

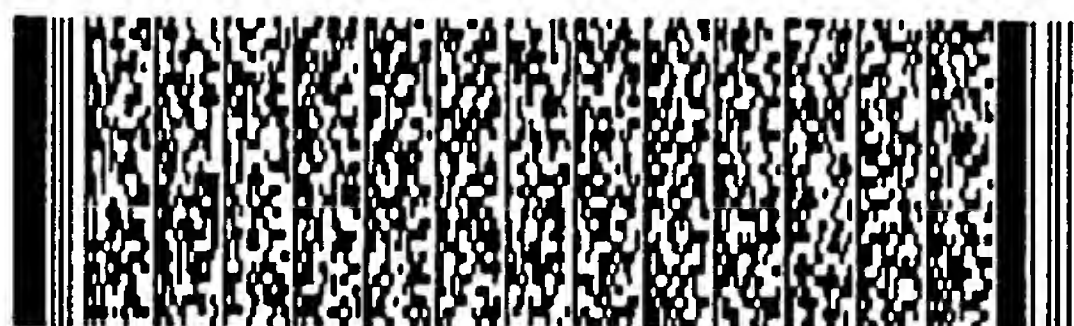
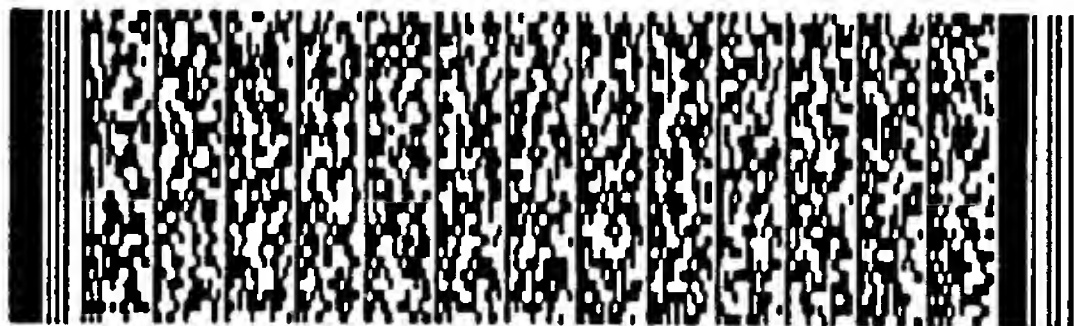
發文字號：09220956840
Serial No.

| | |
|-------|-------|
| 申請日期： | IPC分類 |
| 申請案號： | |

(以上各欄由本局填註)

發明專利說明書

| | | |
|--------------------|-----------------------|---|
| 一、 發明名稱 | 中 文 | 互補式金氧半導體及其組合元件 |
| | 英 文 | Complementary metal oxide semiconductor and component of the same |
| 二、 發明人 (共2人) | 姓 名 (中文) | 1. 胡珍儀 2. 孫文堂 |
| | 姓 名 (英文) | 1. Jen-Yi Hu 2. Wein-Town Sun |
| | 國 籍 (中英文) | 1. 中華民國 TW 2. 中華民國 TW |
| | 住居所 (中 文) | 1. 台北縣西安路二段367號2樓 2. 高雄市楠梓區和光街95巷1號 |
| | 住居所 (英 文) | 1. 2Fl., No. 367, Sec. 2, Shian St., Taipei Hsien, Taiwan 112, R.O.C. 2. No. 1, Lone 95, Ho-Kuang St., Nan-Tzu Ward, Kaohsiung City, |
| 三、 申請人 (共1人) | 名稱或 姓 名 (中文) | 1. 友達光電股份有限公司 |
| | 名稱或 姓 名 (英文) | 1. Au Optonics Corporation |
| | 國 籍 (中英文) | 1. 中華民國 TW |
| | 住居所 (營業所) (中 文) | 1. 新竹科學工業園區新竹市力行二路一號 (本地址與前向貴局申請者相同) |
| | 住居所 (營業所) (英 文) | 1. No. 1, Li-Hsin Rd. II, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C. |
| | 代表人 (中文) | 1. 李焜耀 |
| | 代表人 (英文) | 1. Kun-Yao Lee |



四、中文發明摘要 (發明名稱：互補式金氧半導體及其組合元件)

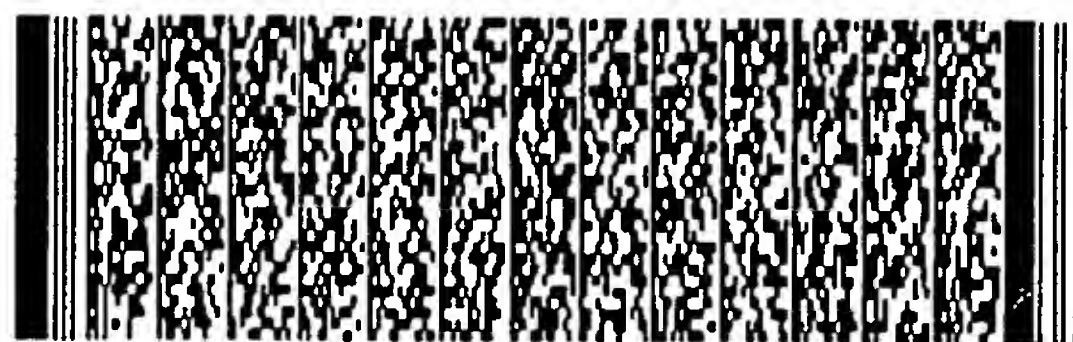
一種互補式金氧半導體，係由一第一型薄膜電晶體以及一第二型薄膜電晶體所構成，而第一型薄膜電晶體包括一閘極、一通道區、一第一型摻雜區以及一源極摻雜區，其中通道區、第一型摻雜區與源極摻雜區係沿一第一方向排列配置。第二型薄膜電晶體則包括一閘極、一通道區、一第二型摻雜區以及一汲極摻雜區，其中通道區、第二型摻雜區與汲極摻雜區亦沿第一方向排列配置，且第二型摻雜區與第一型摻雜區係沿一第二方向排列配置，第二方向係與第一方向垂直。而且，各薄膜電晶體中的摻雜區藉由一導線電性相連，其中前述導線之延伸方向為第二方向。

伍、(一)、本案代表圖為：第___2A___圖

(二)、本案代表圖之元件代表符號簡單說明：

六、英文發明摘要 (發明名稱：Complementary metal oxide semiconductor and component of the same)

A complementary metal oxide semiconductor consists of a first type thin film transistor and a second type thin film transistor. The first type thin film transistor comprises a gate, a channel region, a first type doped region, and a source doped region, wherein the channel region, the first type doped region, and the source doped region are located in a first direction. The

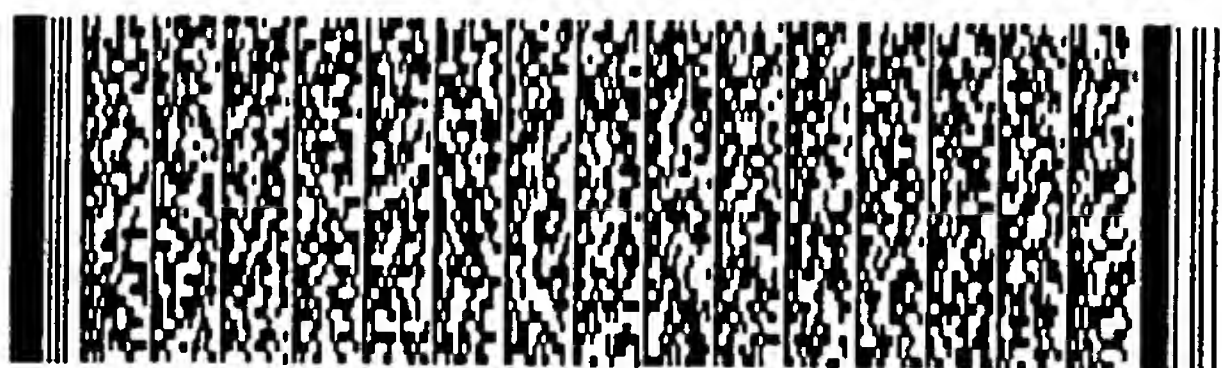


四、中文發明摘要 (發明名稱：互補式金氧半導體及其組合元件)

20 : 互補式金氧半導體
202、212 : 閘極
204、214 : 島狀多晶矽層
206a : N型摻雜區
206b : 汲極摻雜區
216a : 源極摻雜區
216b : P型摻雜區
207 : 淺摻雜汲極區域
210 : N型低溫多晶矽薄膜電晶體
220 : P型低溫多晶矽薄膜電晶體
222 : 導線
228 : 源極/汲極接觸金屬
232 : 接觸窗洞
242 : 整體寬度

六、英文發明摘要 (發明名稱：Complementary metal oxide semiconductor and component of the same)

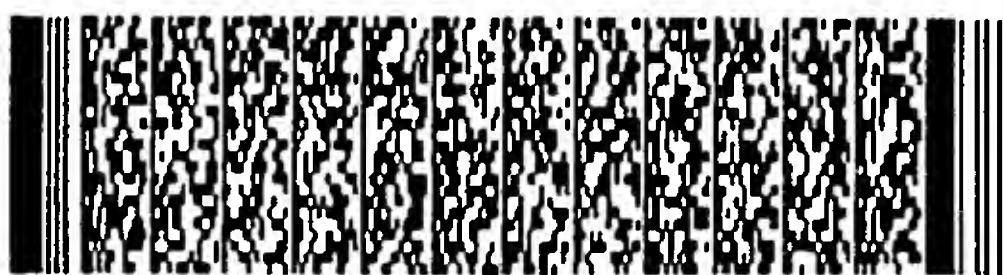
second type thin film transistor comprises a gate, a channel region, a second type doped region, and a drain doped region, wherein the channel region, the second type doped region, and the drain doped region are located in the first direction, and the second type doped region and the first type doped region are located in a second direction. The second direction and the first direction are



四、中文發明摘要 (發明名稱：互補式金氧半導體及其組合元件)

六、英文發明摘要 (發明名稱：Complementary metal oxide semiconductor and component of the same)

perpendicular to one another. Moreover, the doped regions of each thin film transistor are electrically connected each other with a wire, wherein a extended direction of the wire is the second direction.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

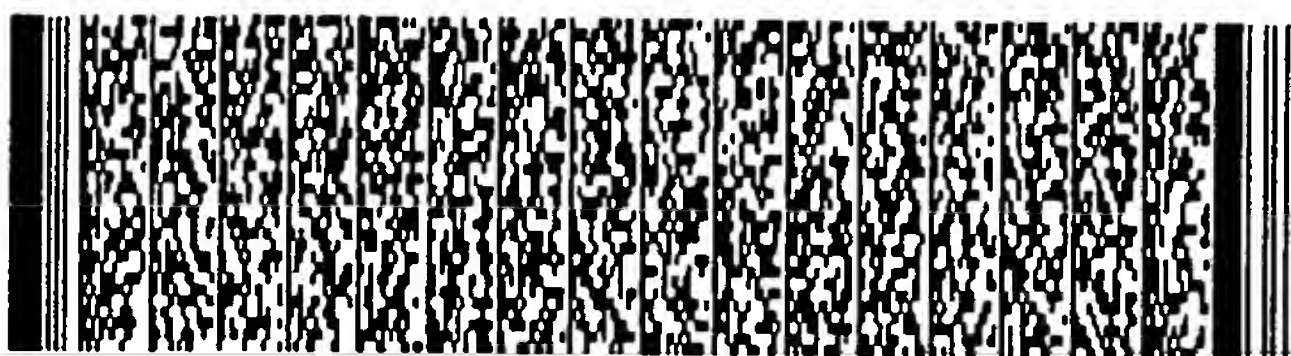
發明所屬之技術領域

本發明是有關於一種低溫多晶矽(low temperature poly-Si, 簡稱LTPS)薄膜電晶體(thin film transistor, 簡稱TFT), 特別是關於利用兩種不同型(type)低溫多晶矽低溫多晶矽薄膜電晶體所組成的一種互補式金氧半導體(CMOS)及其組合元件。

先前技術

隨著高科技之發展, 視訊產品, 特別是數位化之視訊或影像裝置已經成為在一般日常生活中所常見的產品。這些數位化之視訊或影像裝置中, 顯示器是一個重要元件, 以顯示相關資訊。使用者可由顯示器讀取資訊, 或進而控制裝置的運作。

而近來在薄膜電晶體液晶顯示器中有一種利用多晶矽技術所製得的薄膜電晶體, 其電子遷移率(mobility)較一般傳統的非晶矽(amorphous silicon, 簡稱a-Si)薄膜電晶體技術所得之電子遷移率大得多, 因此可使薄膜電晶體元件做得更小, 開口率增加(aperture ratio)進而增加顯示器亮度, 減少功率消耗的功能。另外, 由於電子遷移率之增加可以將部份驅動電路隨同薄膜電晶體製程同時製造於玻璃基板上, 大幅提升液晶顯示面板的特性及可靠度, 使得面板製造成本大幅降低, 因此製造成本較非晶矽薄膜電晶體液晶顯示器低出許多。再加上多晶矽具有厚度薄、重量輕、解析度佳等特點, 特別適合應用於要求輕巧省電的行動終端產品上。



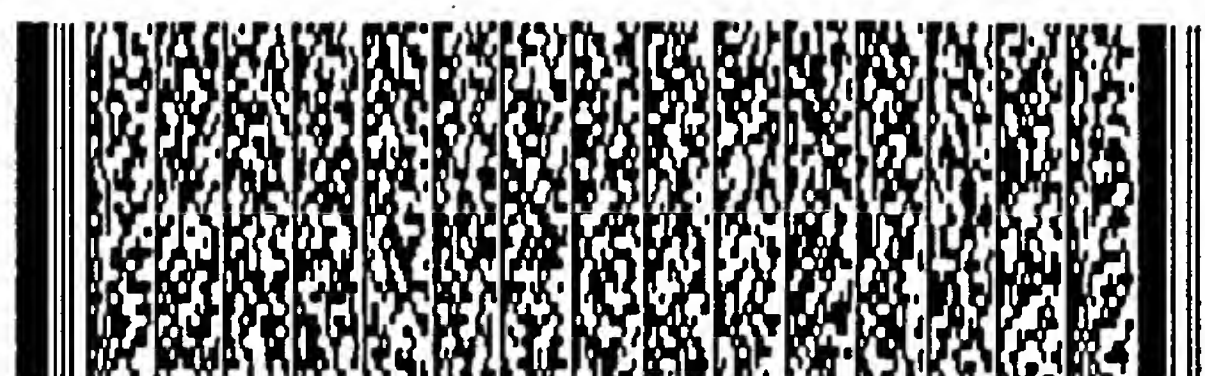
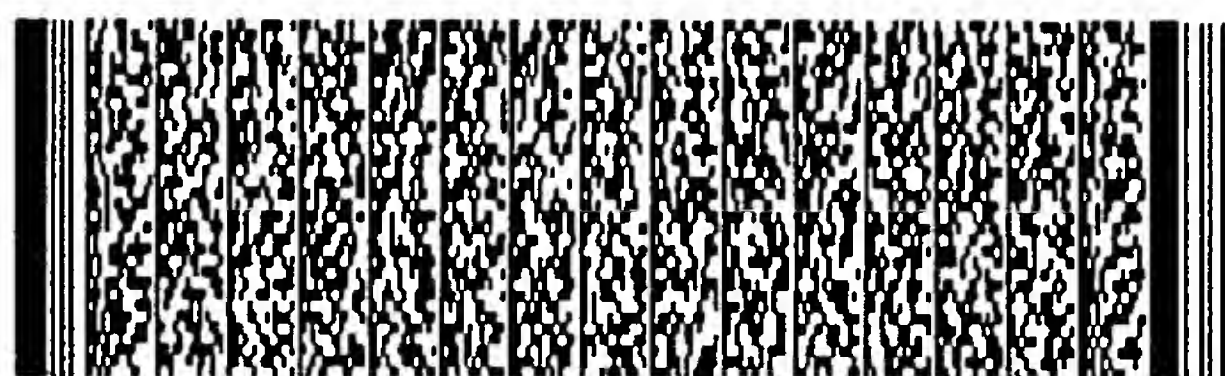
五、發明說明 (2)

多晶矽薄膜電晶體早期製程是採用固相結晶(solid phase crystallization, 簡稱SPC)製程, 但高達攝氏1000度的高溫製程下, 必需採用熔點較高的石英基板, 由於石英基板成本比玻璃基板貴上許多, 且在基板尺寸的限制下, 面板大約僅有2至3吋, 因此過去只能發展小型面板。之後, 由於雷射的發展, 以雷射結晶化(laser crystallization)或準分子雷射退火(excimer laser annealing, 簡稱ELA)製程來使非晶矽薄膜成為多晶矽薄膜, 在溫度攝氏600度以下完成全部製程, 所以一般非晶矽薄膜電晶體液晶顯示器所用玻璃基板能被採用, 才得以製作出較大尺寸面板, 也因此依據這種技術形成的多晶矽又稱為低溫多晶矽(LTPS)。

另外, 由於多晶矽本身的電子遷移率高, 所以通常在進行液晶顯示器的製程時, 可以一併於顯示區外圍製作驅動電路, 如第1A圖與第1B圖所示的互補式金氧半導體。

第1A圖是習知包含N型低溫多晶矽薄膜電晶體以及P型低溫多晶矽薄膜電晶體的互補式金氧半導體之上視示意圖, 而第1B圖是依據第1A圖之I-I'剖面的剖面示意圖。

請參照第1A圖與第1B圖, 習知的互補式金氧半導體10包括位於基板100上的N型低溫多晶矽薄膜電晶體110以及P型低溫多晶矽薄膜電晶體120。N型低溫多晶矽薄膜電晶體110包括一閘極102與一島狀多晶矽(poly-island)層104, 位於閘極102與基板100之間, 其中島狀多晶矽層104具有通道區(channel region)105與通道區105兩側之摻雜區

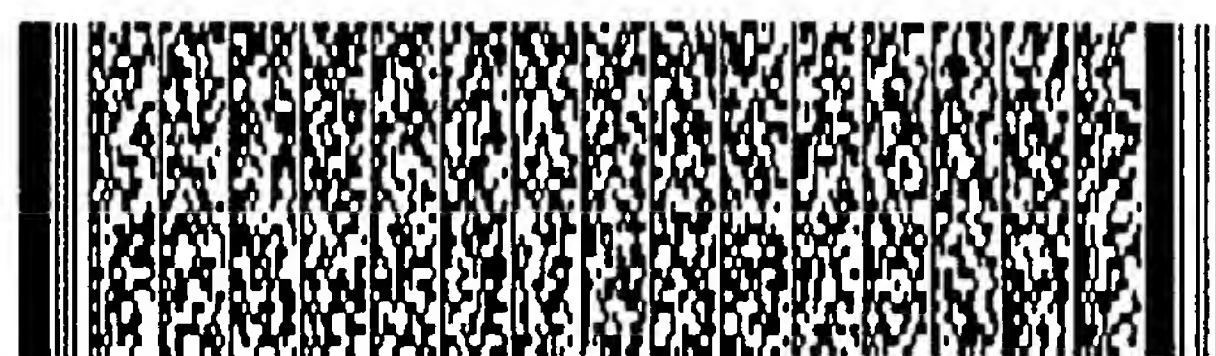
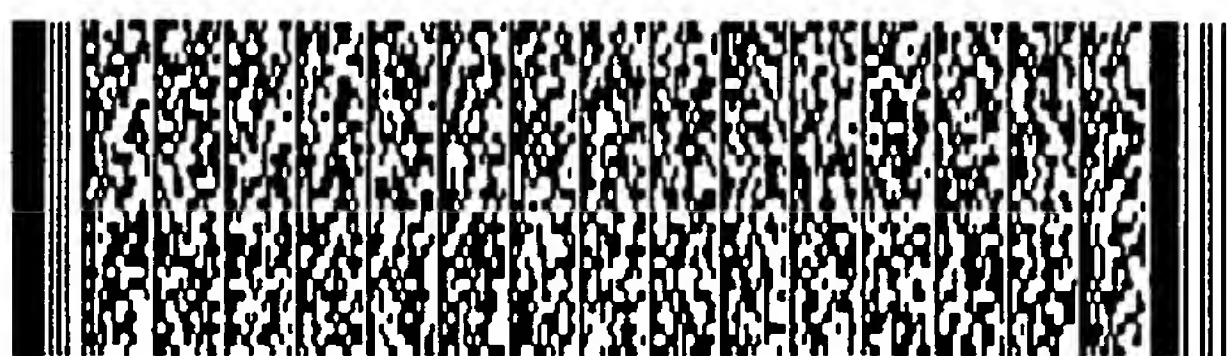


五、發明說明 (3)

106a、汲極摻雜區106b。而P型低溫多晶矽薄膜120則具有包括一閘極112與一島狀多晶矽層114，位於閘極112與基板100之間，其中島狀多晶矽層114具有通道區115與通道區115兩側之源極摻雜區116a、摻雜區116b。此外，在N型低溫多晶矽薄膜電晶體110以及P型低溫多晶矽薄膜電晶體120上覆蓋有一層層間介電層(inter-layer dielectrics，簡稱ILD)130。而且，N型低溫多晶矽薄膜電晶體110的摻雜區106a與P型低溫多晶矽薄膜電晶體120的摻雜區116b係藉由層間介電層130中的接觸窗洞(contact hole)132與一導線122而電性相連。

請繼續參照第1A圖與第1B圖，在島狀多晶矽層104、114與閘極102、112之間還有一層閘極絕緣層(gate insulating film)124、在基板100與島狀多晶矽層104、114之間還有一層緩衝層126。而於N型低溫多晶矽薄膜電晶體110的通道區105與摻雜區106a/汲極摻雜區106b之間尚有一淺摻雜汲極區域(lightly doped drain，簡稱LDD)107。再者，通常還有與閘極102、112兩側之源極116a、汲極106b相連的源/汲極接觸金屬(source/drain contact metal)128，以組成源極或汲極。

然而，習知製作於顯示區外圍的互補式金氧半導體都是呈現第1A圖所示的佈局，且由於N型低溫多晶矽薄膜電晶體110的摻雜區106a與P型低溫多晶矽薄膜電晶體120的摻雜區116b無法共用接觸窗洞，所以必須有最小的分隔距離(separate distance)，如第1A圖中以寬度/長度



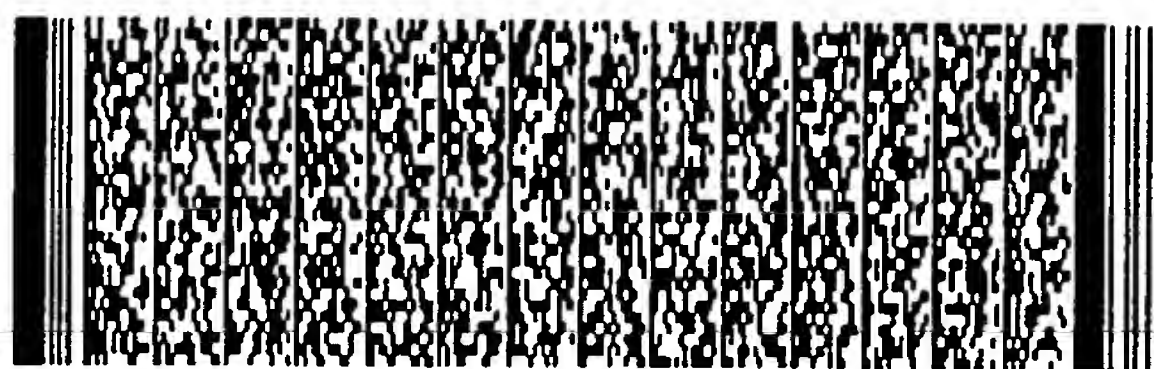
五、發明說明 (4)

(width/length) 等於 $6\mu/6\mu$ 為例，其整體寬度142約為 $56\mu\text{m}$ 。故於傳統的佈局中，薄膜電晶體的最小寬度已經被設計規範(design rule)決定，以致於在畫素(pixel)寬度縮小、解析度提昇時，先前製作於基板上的驅動電路可能因為佈局寬度超過的問題而不能使用。

發明內容

因此，本發明之目的是提供一種互補式金氧半導體及其組合元件，以縮小其佈局寬度，進而提高解析度並解決空間不夠的問題。

根據上述與其它目的，本發明提出一種互補式金氧半導體，係由一第一型薄膜電晶體、一第二型薄膜電晶體、一層間介電層以及一導線所構成，其中第一型薄膜電晶體，包括一第一閘極與一第一島狀多晶矽層，位於第一閘極下。而第一島狀多晶矽層包括有一第一通道區、一第一源極/汲極以及一第一摻雜區，而第一通道區係位於第一閘極正下方、第一源極/汲極則位於第一閘極之一側、第一摻雜區位於第一閘極之另一側，其中第一源極/汲極與第一摻雜區排成一第一方向。再者，第二型薄膜電晶體係與第一型薄膜電晶體並排，且其包括一第二閘極與一第二島狀多晶矽層，位於第二閘極下。而第二島狀多晶矽層包括有一第二通道區、一第二源極/汲極以及一第二摻雜區，而第二通道區是位於第二閘極正下方、第二摻雜區則位於第二閘極之一側、第二源極/汲極則位於第二閘極之另一側，其中第二摻雜區與第二源極/汲極排成第一方

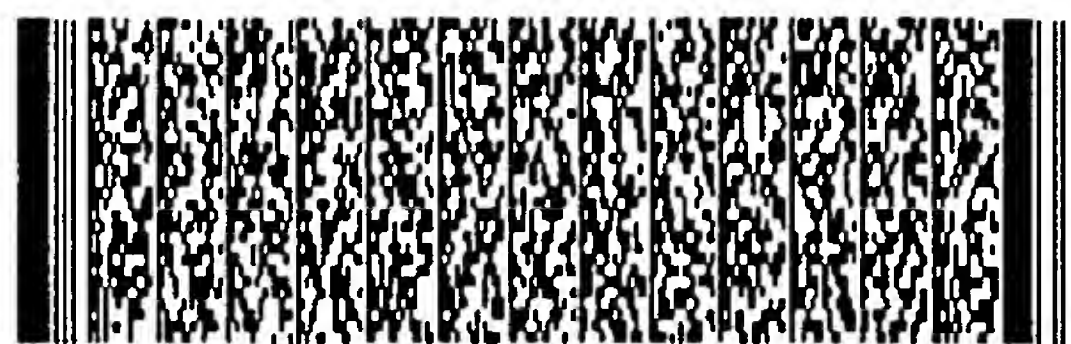
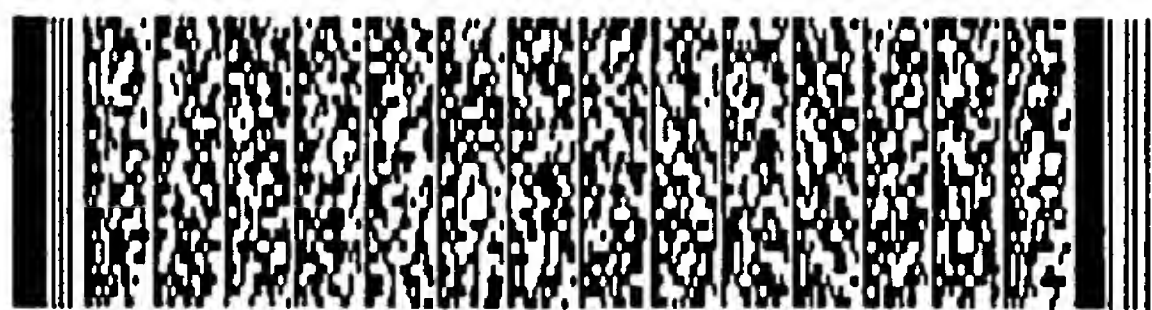


五、發明說明 (5)

向。此外，層間介電層覆蓋於第一型薄膜電晶體及第二型薄膜電晶體上，且其中具有數個接觸窗洞，以暴露出第一摻雜區以及第二摻雜區。而導線是位於層間介電層上，並藉由接觸窗洞連接第一摻雜區以及第二摻雜區，其中導線之延伸方向為一第二方向，且第二方向與第一方向垂直。

本發明再提出一種互補式金氧半導體之組合元件，包括至少一第一型低溫多晶矽薄膜電晶體、數個第二型低溫多晶矽薄膜電晶體、一層間介電層以及數條導線。而每個第一型低溫多晶矽薄膜電晶體又包括一第一閘極線與一第一島狀多晶矽層，位於第一閘極線下，其中第一島狀多晶矽層具有位於第一閘極線正下方的第一通道區、位於第一閘極線一側的第一摻雜區以及位於第一閘極線另一側的第二摻雜區。每個第二型低溫多晶矽薄膜電晶體則包括一第二閘極線以及一第二島狀多晶矽層，位於第二閘極線下，其中第二島狀多晶矽層具有位於第二閘極線正下方的第二通道區、位於第二閘極線一側的第三摻雜區以及位於第二閘極線另一側的源極/汲極摻雜區。其中，層間介電層係覆蓋於第一型與第二型低溫多晶矽薄膜電晶體上，且層間介電層具有數個接觸窗洞。第二型低溫多晶矽薄膜電晶體則與第一型低溫多晶矽薄膜電晶體互相交錯配置，且藉由層間介電層上的數條導線與接觸窗洞分別連接第一與第三摻雜區以及連接第二汲極與第三摻雜區，其中導線與第一閘極線及第二閘極線之延伸方向大致平行。

由於本發明將第一型低溫多晶矽薄膜電晶體以及第二



五、發明說明 (6)

型低溫多晶矽薄膜電晶體的佈局配置成互相平行且交錯，所以可大幅縮小互補式金氧半導體之寬度，進而提高解析度並解決空間不夠的問題。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

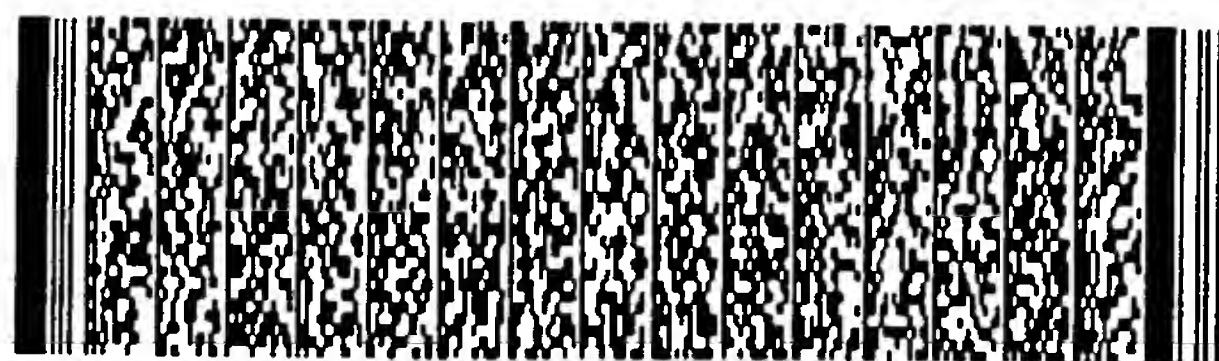
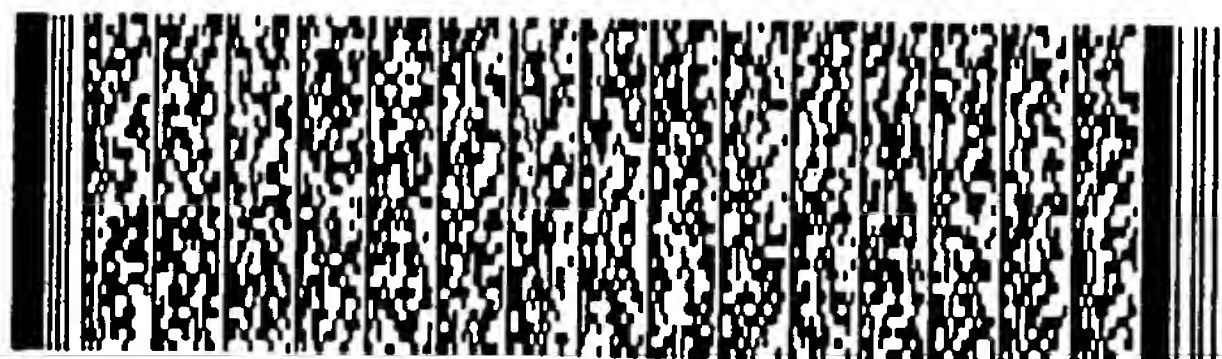
實施方式

第一實施例

本發明可應用於低溫多晶矽(low temperature poly-Si，簡稱LTPS)薄膜電晶體(thin film transistor，簡稱TFT)，請參考第2A圖與第2B圖。

第2A圖係依照本發明之一第一實施例之互補式金氧半導體(CMOS)的上視示意圖，而第2B圖是依據第2A圖之II-II'剖面的剖面示意圖。

請參照第2A圖與第2B圖，本發明之互補式金氧半導體20包括位於基板200上的N型低溫多晶矽薄膜電晶體210以及P型低溫多晶矽薄膜電晶體220，且於低溫多晶矽薄膜電晶體210以及220上覆蓋有一層層間介電層(inter-layer dielectrics，簡稱ILD)230。於本實施例，N型低溫多晶矽薄膜電晶體210包括一閘極202與位於閘極202與基板200之間的一島狀多晶矽(poly-island)層204，其中島狀多晶矽層204具有位於閘極202正下方之通道區(channel region)與閘極202下方之通道區兩側的N型摻雜區206a以及汲極摻雜區206b。而且，汲極摻雜區206b還與配置在層



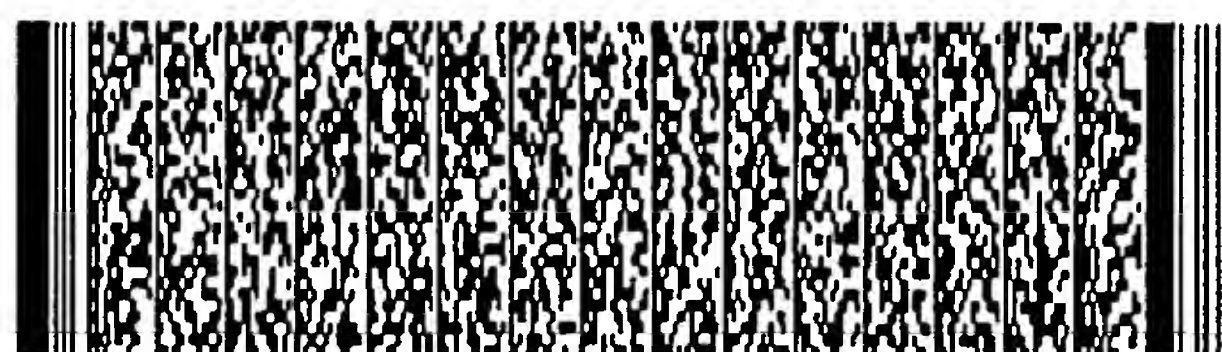
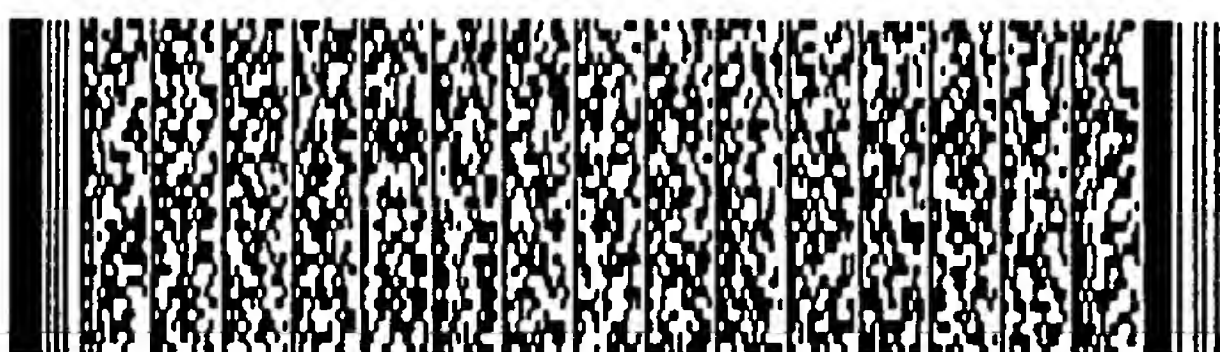
五、發明說明 (7)

間介電層203上以及層間介電層230中之一汲極接觸金屬(source/drain contact metal)228相連。其中，通道區、汲極摻雜區206b與N型摻雜區206a所排列的方向為第一方向。

請再參照第2A圖與第2B圖，本實施例之P型低溫多晶矽薄膜220則包括一閘極212與位於閘極212與基板200之間的一島狀多晶矽層214，其中島狀多晶矽層214具有位於閘極212正下方之通道區與閘極212下方之通道區兩側的源極摻雜區216a以及P型摻雜區216b。而且，源極摻雜區216a還與另一源極接觸金屬228相連。其中，通道區、源極摻雜區216a與P型摻雜區216b所排列的方向同樣為第一方向，且P型摻雜區216b與N型摻雜區206a係沿一第二方向排列配置，第二方向係與第一方向垂直。

請再參照第2A圖與第2B圖，N型低溫多晶矽薄膜電晶體210的N型摻雜區206a與P型低溫多晶矽薄膜電晶體220的P型摻雜區216b係藉由層間介電層230中的暴露出N型摻雜區206a、P型摻雜區216b的接觸窗洞(contact hole)232與一導線222而電性相連，其中導線222之延伸方向為第二方向。由於本發明之互補式金氧半導體20的佈局採用互相並排且兩兩交錯，因此可大幅縮減其寬度，如第2A圖中以寬度/長度(width/length)等於 $6\mu/6\mu$ 為例，其整體寬度242約為 $45\mu\text{m}$ ，明顯小於習知的寬度142(請見第1A圖)，而省下約百分之二十的寬度。

請繼續參照第2A圖與第2B圖，於本實施例，在島狀多



五、發明說明 (8)

晶矽層204、214與閘極202、212之間還有一層閘極絕緣層(gate insulating film)224、在基板200與島狀多晶矽層204、214之間還有一層緩衝層(buffer layer)226。而於N型低溫多晶矽薄膜電晶體210的通道區(閘極212正下方)與汲極摻雜區206b之間以及通道區與N型摻雜區206a之間尚有一淺摻雜汲極區域(lightly doped drain, 簡稱LDD)207。

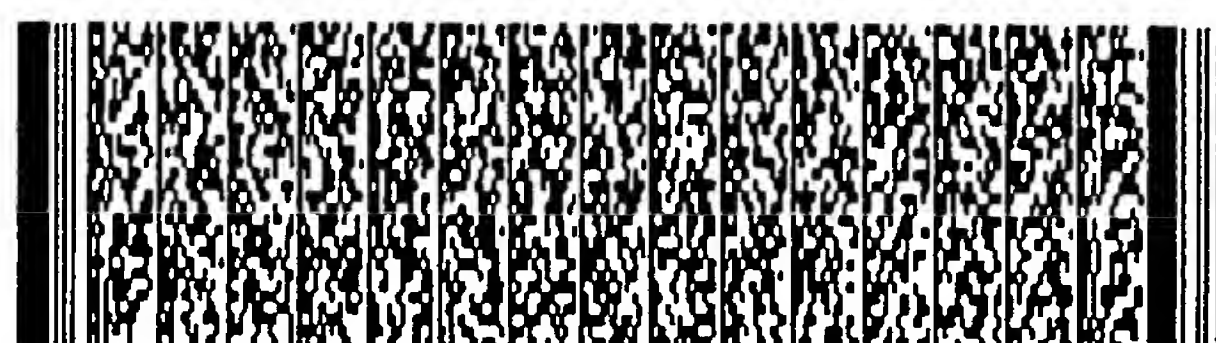
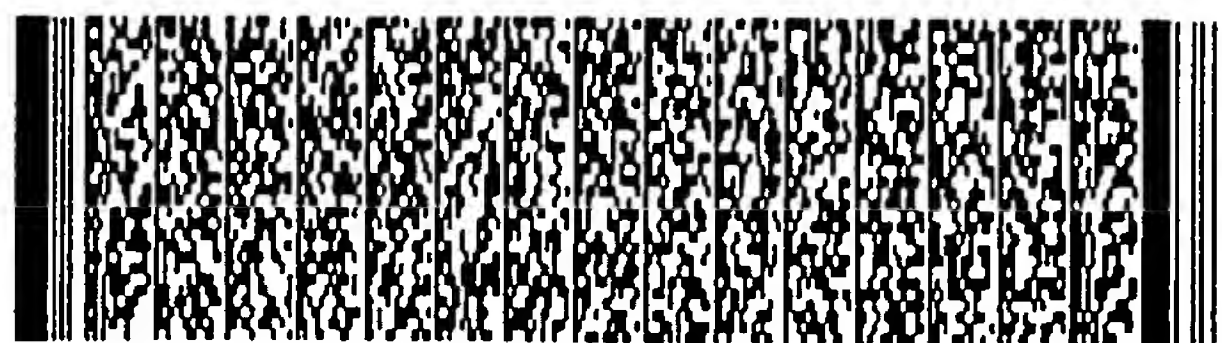
請特別注意，本實施例只是用來舉例說明，並非侷限本發明之應用範圍，凡是以P型薄膜電晶體與N型薄膜電晶體所組成的元件，皆可利用本發明之特徵去設計，即第一型(N或P型)薄膜電晶體以及第二型(N或P型)薄膜電晶體的佈局配置為互相平行且交錯。

第二實施例

凡是由至少一個P型薄膜電晶體與至少一個N型薄膜電晶體所組成的電路結構均可利用本發明去進行佈局，請參考第3圖。

第3圖係依照本發明之一第二實施例之互補式金氧半導體之組合元件的上視示意圖。請參照第3圖，本發明之組合元件30包括一個N型低溫多晶矽薄膜電晶體310以及兩個P型低溫多晶矽薄膜電晶體320。雖然於本實施例中只有三個薄膜電晶體，但並非侷限本發明之應用，而只是用來舉例，因此只要是依照本發明之特徵去設計，無論薄膜電晶體的個數是多少都可行。

請繼續參照第3圖，本實施例之N型低溫多晶矽薄膜電



五、發明說明 (9)

晶體310包括一閘極線302與位於閘極線302下的一島狀多晶矽層304，其具有位於閘極線302正下方之通道區與閘極線302下方之通道區兩側的摻雜區306a、306b。P型低溫多晶矽薄膜320則包括閘極線312與位於閘極線312下的島狀多晶矽層314，其具有位於閘極線312正下方之通道區與閘極線312下方之通道區兩側的摻雜區316a、源極/汲極摻雜區316b。而且，源極/汲極摻雜區316b還分別與配置在層間介電層(請見第4A圖)上以及層間介電層中之源極/汲極接觸金屬318、319相連。其中，N型低溫多晶矽薄膜電晶體310與P型低溫多晶矽薄膜電晶體320相互交錯配置。而且，N型低溫多晶矽薄膜電晶體310的摻雜區306a與306b分別藉由接觸窗洞332與導線322a、322b而與P型低溫多晶矽薄膜電晶體320的摻雜區316a電性相連，其中導線322a以及322b與閘極線302、312之延伸方向大致平行。

為更詳細說明本實施例，請參考以下剖面圖，其中第4A圖是依據第3圖之A-A'剖面的剖面示意圖，第4B圖是依據第3圖之B-B'剖面的剖面示意圖，第4C圖是依據第3圖之C-C'剖面的剖面示意圖。

請先參照第4A圖，在一基板300上覆蓋有一層層間介電層330，而閘極線312、島狀多晶矽層314均被覆蓋起來，且於層間介電層330中的接觸窗洞332曝露出摻雜區316a，其中閘極線312正下方的是通道區315。此外，從剖面圖還可看出島狀多晶矽層314與閘極線302、312之間還有一層閘極絕緣層324、在基板300與島狀多晶矽層314之



五、發明說明 (10)

間還有一層緩衝層326。

然後，請參照第4B圖，於層間介電層230中的接觸窗洞232曝露出摻雜區306a、306b，其中在閘極線302正下方的是通道區305。此外，在通道區305與摻雜區306a、306b之間尚有一淺摻雜汲極區域307。

最後，請參照第4C圖，其係第3圖之C-C'剖面的剖面示意圖，其中導線322a連接了不同低溫多晶矽薄膜電晶體的摻雜區306a與316b，且其延伸方向與C-C'剖面平行。

總之，本發明之特點在於將第一型低溫多晶矽薄膜電晶體以及第二型低溫多晶矽薄膜電晶體的佈局配置成互相並排且交錯，所以可大幅縮小互補式金氧半導體或其組合元件之寬度，進而提高解析度並解決空間不夠的問題。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1A圖是習知包含N型低溫多晶矽薄膜電晶體以及P型低溫多晶矽薄膜電晶體的互補式金氧半導體之上視示意圖；

第1B圖是依據第1A圖之I-I'剖面的剖面示意圖；

第2A圖係依照本發明之一第一實施例之互補式金氧半導體(CMOS)之上視示意圖；

第2B圖是依據第2A圖之II-II'剖面的剖面示意圖；

第3圖係依照本發明之一第二實施例之互補式金氧半導體之組合元件之上視示意圖；

第4A圖是依據第3圖之A-A'剖面的剖面示意圖；

第4B圖是依據第3圖之B-B'剖面的剖面示意圖；以及

第4C圖是依據第3圖之C-C'剖面的剖面示意圖。

圖式標示說明

10、20：互補式金氧半導體

30：互補式金氧半導體之組合元件

100、200：基板

102、112、202、212：閘極

104、114、204、214、304、314：島狀多晶矽層

105、115、205、215、305、315：通道區

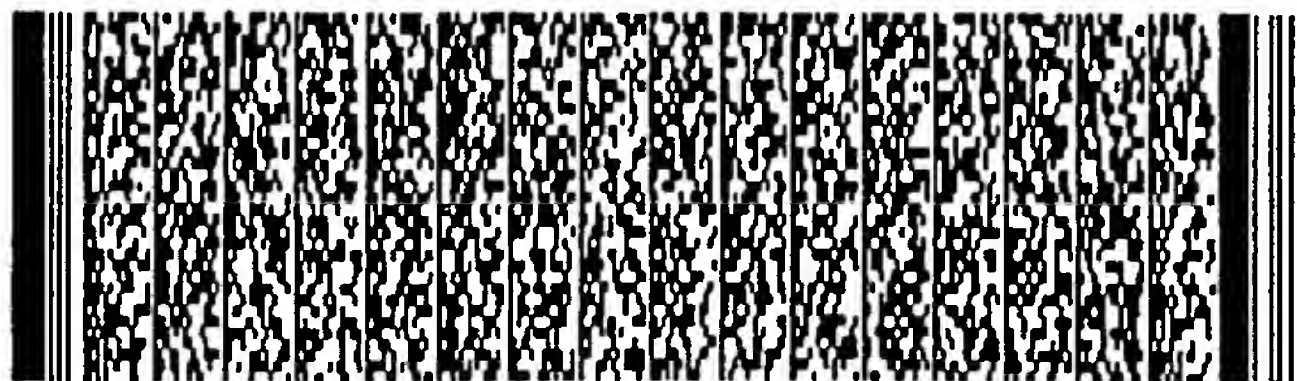
106a、116b、306a、306b、316a：摻雜區

106b、206b：汲極摻雜區

107、207、307：淺摻雜汲極區域

110、210、310：N型低溫多晶矽薄膜電晶體

116a、216a：源極摻雜區



圖式簡單說明

- 120、220、320：P型低溫多晶矽薄膜電晶體
- 122、222、322a、322b：導線
- 124、224、324：閘極絕緣層
- 126、226、326：緩衝層
- 128、228、318、319：源極/汲極接觸金屬
- 130、230、330：層間介電層
- 132、232、332：接觸窗洞
- 142、242：整體寬度
- 206a：N型摻雜區
- 216b：P型摻雜區
- 302、312：閘極線
- 316b：源極/汲極摻雜區



六、申請專利範圍

1. 一種互補式金氧半導體，包括：

— 第一型薄膜電晶體，包括：

— 第一閘極；

— 第一島狀多晶矽層，位於該第一閘極下，其中該第一島狀多晶矽層包括：

— 第一通道區，位於該第一閘極正下方；

— 源極摻雜區，位於該第一閘極之一側；以及

— 第一型摻雜區，位於該第一閘極之另一側，其中該源極摻雜區、該第一通道區與該第一摻雜區係沿一第一方向排列配置；

— 第二型薄膜電晶體，包括：

— 第二閘極；

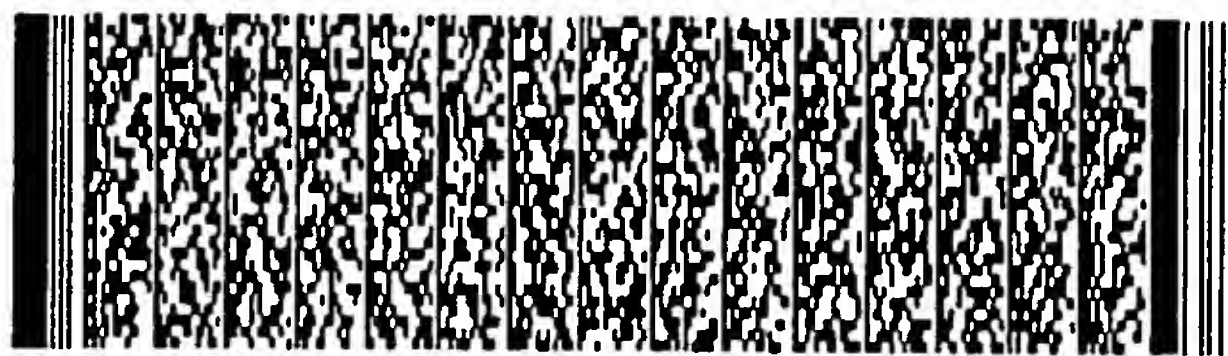
— 第二島狀多晶矽層，位於該第二閘極下，其中該第二島狀多晶矽層包括：

— 第二通道區，位於該第二閘極正下方；

— 第二型摻雜區，位於該第二閘極之一側；以及

— 汲極摻雜區，位於該第二閘極之另一側，其中該第二型摻雜區、該第二通道區與該汲極摻雜區係沿該第一方向排列配置，且該第二型摻雜區與該第一型摻雜區係沿一第二方向排列配置，該第二方向係與該第一方向垂直；

— 層間介電層，覆蓋於該第一型薄膜電晶體及該第二



六、申請專利範圍

型薄膜電晶體上，該層間介電層具有複數個接觸窗洞，以暴露出該第一摻雜區以及該第二摻雜區；

一導線，位於該層間介電層上，並藉由該些接觸窗洞連接該第一摻雜區以及該第二摻雜區，該導線之延伸方向為該第二方向；

一源極接觸金屬，配置在該層間介電層上以及該層間介電層中，且該源極接觸金屬係與該源極摻雜區電性連接；以及

一汲極接觸金屬，配置在該層間介電層上以及該層間介電層中，且該汲極接觸金屬係與該汲極摻雜區電性連接。

2. 如申請專利範圍第1項所述之互補式金氧半導體，其中該第一型薄膜電晶體包括低溫多晶矽薄膜電晶體。

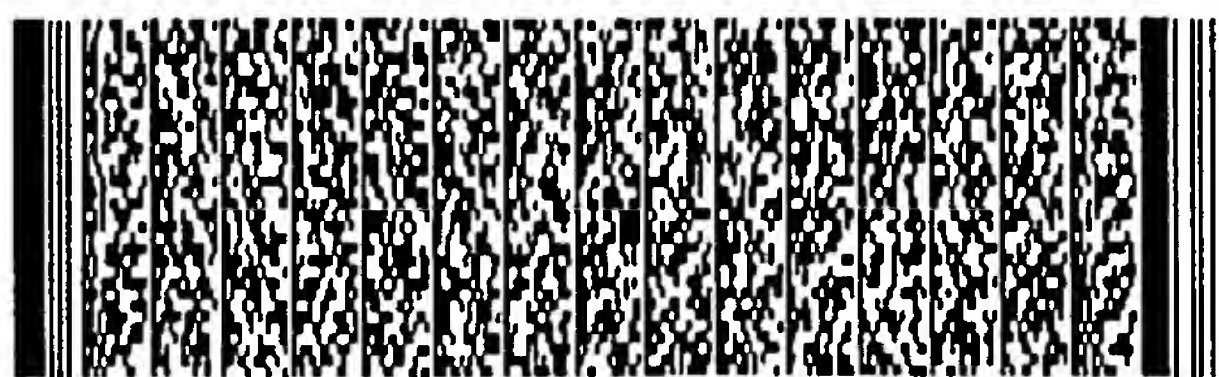
3. 如申請專利範圍第1項所述之互補式金氧半導體，其中該第二型薄膜電晶體包括低溫多晶矽薄膜電晶體。

4. 如申請專利範圍第1項所述之互補式金氧半導體，其中該第一型薄膜電晶體包括N型薄膜電晶體。

5. 如申請專利範圍第4項所述之互補式金氧半導體，其中該第一島狀多晶矽層更包括一淺摻雜汲極區域，位於該第一通道區與該源極摻雜區之間以及位於該第一通道區與該第一型摻雜區之間。

6. 如申請專利範圍第4項所述之互補式金氧半導體，其中該第二型薄膜電晶體包括P型薄膜電晶體。

7. 如申請專利範圍第1項所述之互補式金氧半導體，



六、申請專利範圍

其中該第一型薄膜電晶體包括P型薄膜電晶體。

8. 如申請專利範圍第7項所述之互補式金氧半導體，其中該第二型薄膜電晶體包括N型薄膜電晶體。

9. 如申請專利範圍第8項所述之互補式金氧半導體，其中該第二島狀多晶矽層更包括一淺摻雜汲極區域，位於該第二通道區與該汲極摻雜區之間以及位於該第二通道區與該第二型摻雜區之間。

10. 一種互補式金氧半導體之組合元件，包括：

至少一第一型低溫多晶矽薄膜電晶體，包括：

一第一閘極線；

一第一島狀多晶矽層，位於該第一閘極線下，其中該第一島狀多晶矽層包括：

一第一通道區，位於該第一閘極線正下方；

一第一摻雜區，位於該第一閘極線之一側；

以及

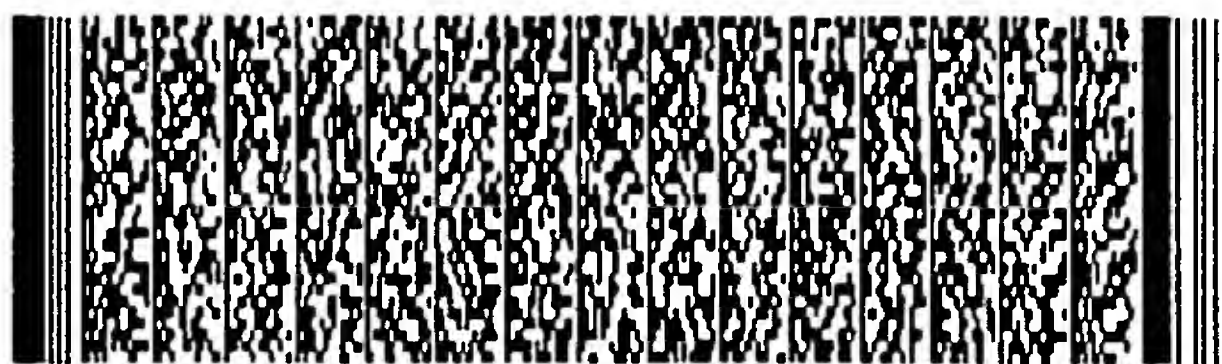
一第二摻雜區，位於該第一閘極線之另一側；

複數個第二型低溫多晶矽薄膜電晶體，與該至少一第一型低溫多晶矽薄膜電晶體互相交錯配置，其中各該第二型低溫多晶矽薄膜電晶體包括：

一第二閘極線；

一第二島狀多晶矽層，位於該第二閘極線下，其中該第二島狀多晶矽層包括：

一第二通道區，位於該第二閘極線正下方；



六、申請專利範圍

一 第三摻雜區，位於該第二閘極線之一側；

以及

一 源極/汲極摻雜區，位於該第二閘極線之另一側；

一 層間介電層，覆蓋於該至少一第一型薄膜電晶體及該些第二型薄膜電晶體上，該層間介電層具有複數個接觸窗洞，以暴露出該第一摻雜區、該第二摻雜區以及該第三摻雜區；

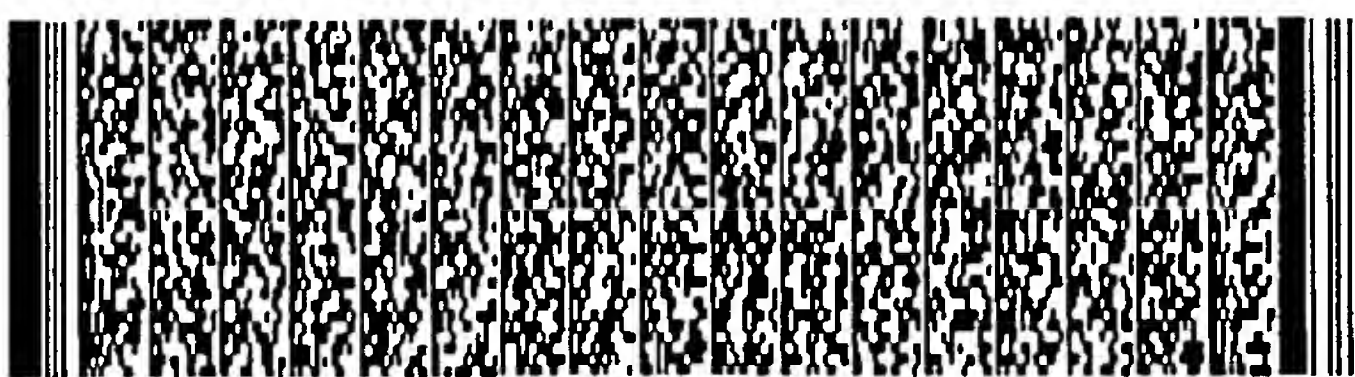
複數條導線，位於該層間介電層上，並藉由該些接觸窗洞分別連接該第一摻雜區與該第三摻雜區以及連接該第二摻雜區與該第三摻雜區，其中該些導線與該第一閘極線及該第二閘極線之延伸方向大致平行；以及

至少一源極/汲極接觸金屬，配置在該層間介電層上以及該層間介電層中，且該源極/汲極接觸金屬係與該源極/汲極摻雜區電性連接。

11. 如申請專利範圍第10項所述之互補式金氧半導體之組合元件，其中該些第二型薄膜電晶體包括P型薄膜電晶體。

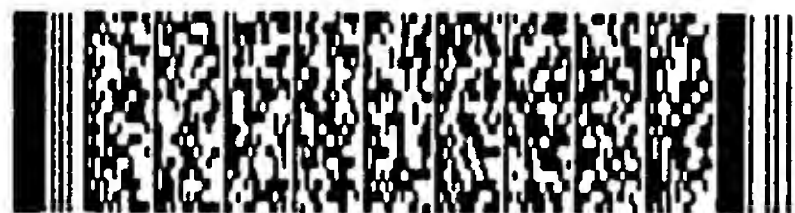
12. 如申請專利範圍第10項所述之互補式金氧半導體之組合元件，其中該至少一第一型薄膜電晶體包括N型薄膜電晶體。

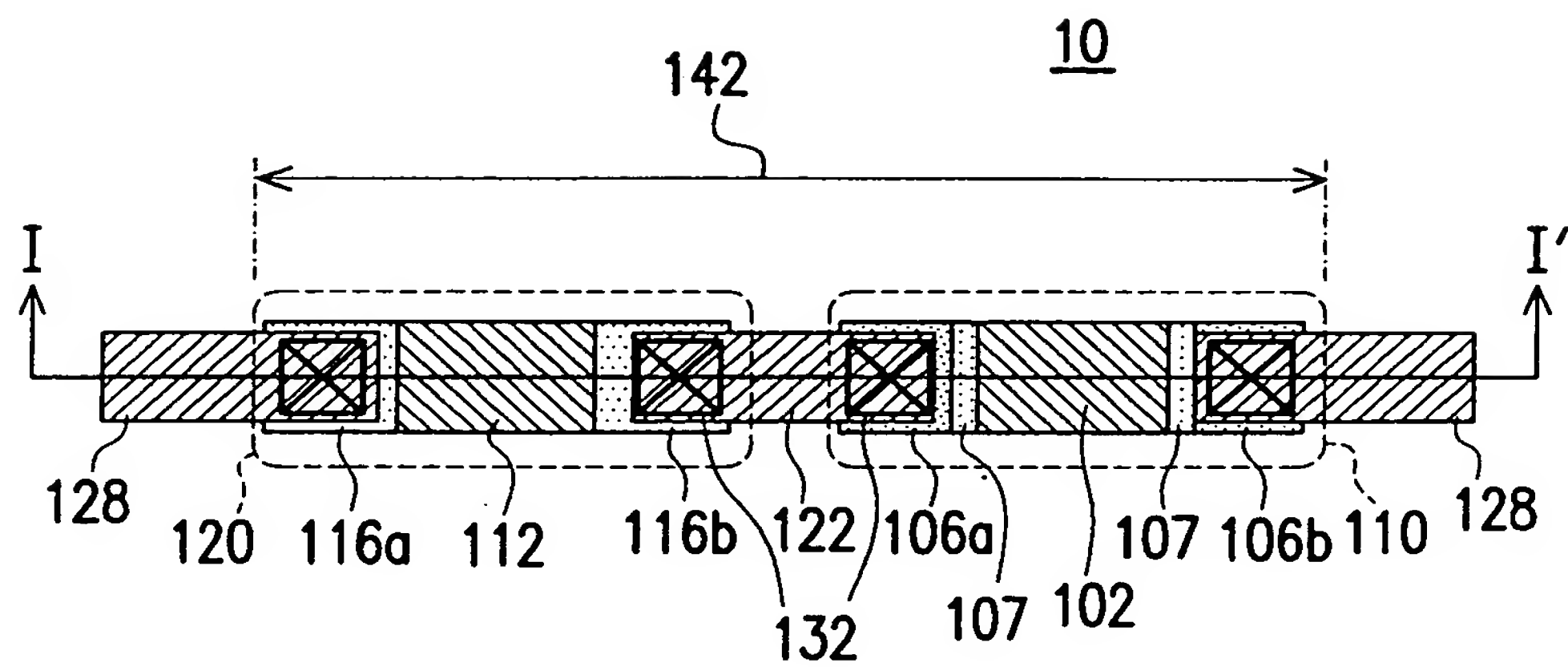
13. 如申請專利範圍第12項所述之互補式金氧半導體之組合元件，其中該第一島狀多晶矽層更包括一淺摻雜汲極區域，位於該第一通道區與該第一摻雜區之間以及該第



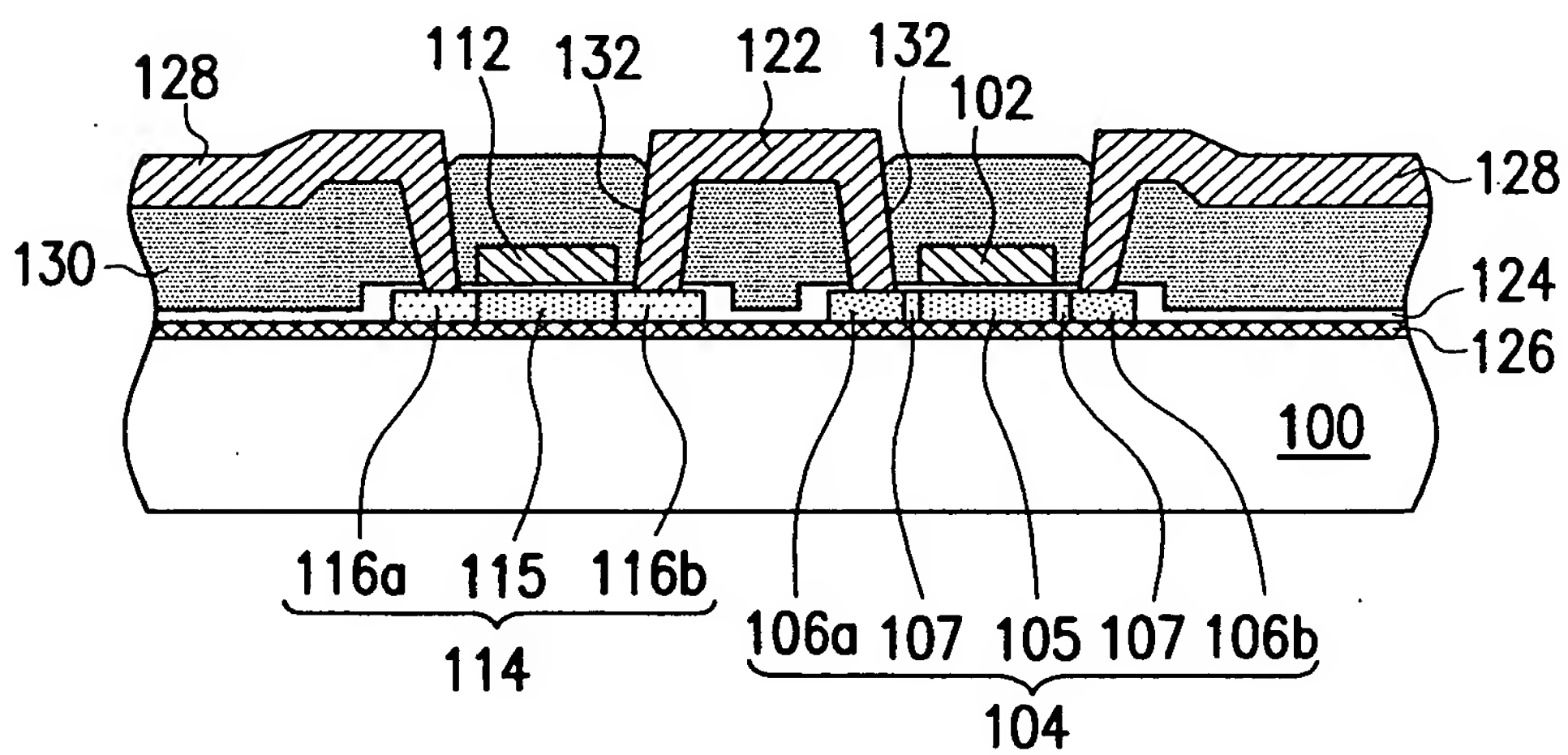
六、申請專利範圍

一 通道區與該第二摻雜區之間。

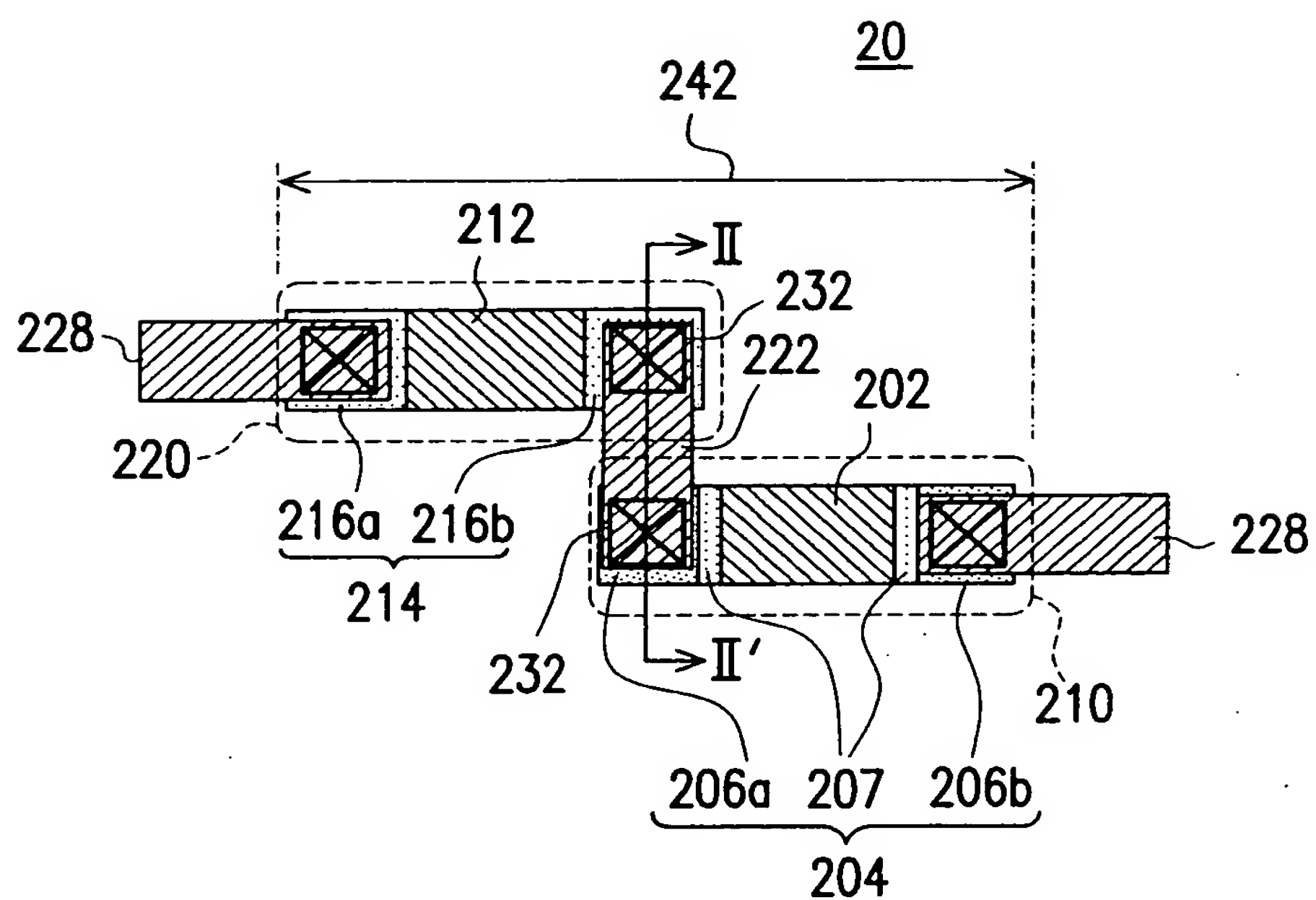




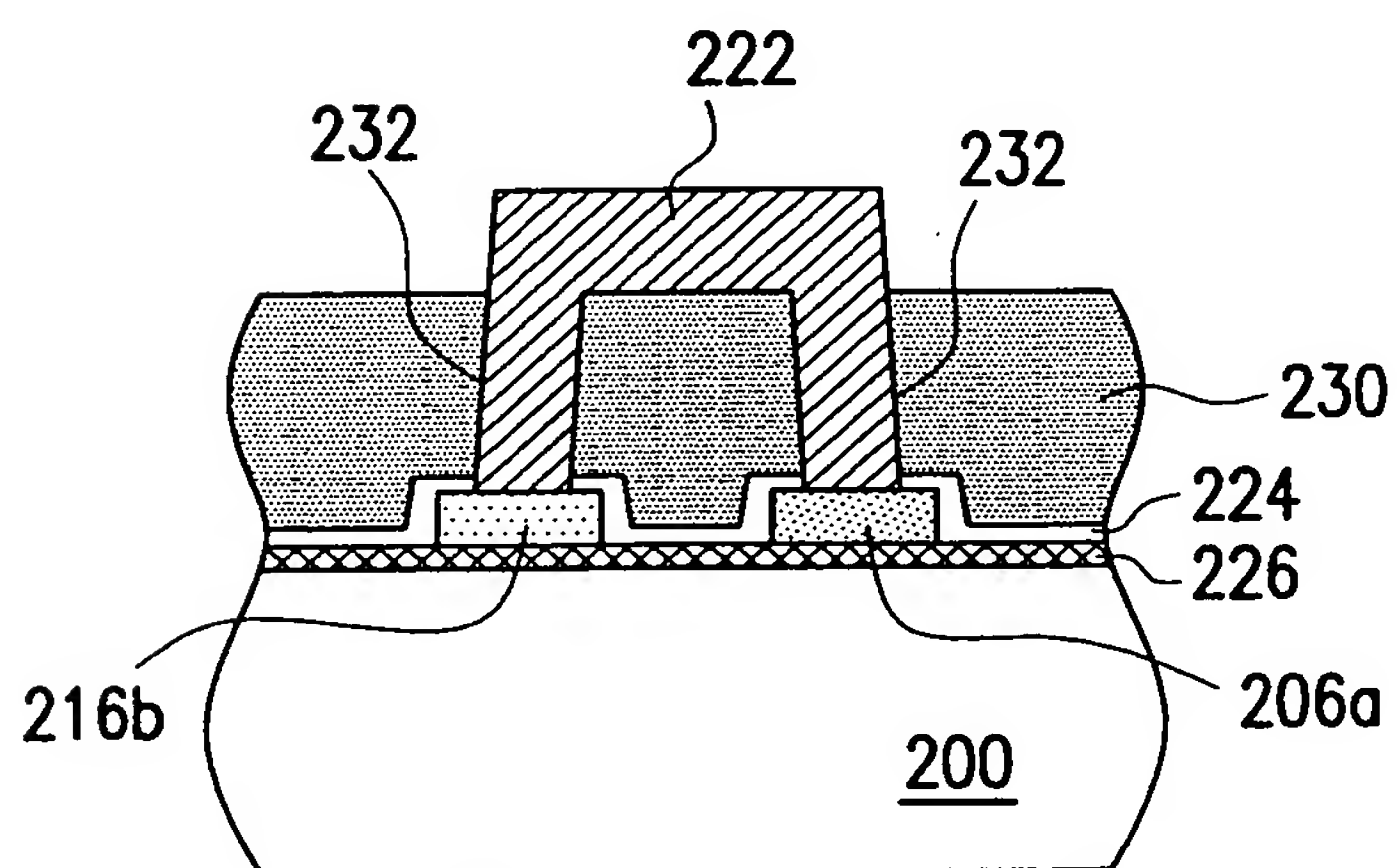
第 1A 圖



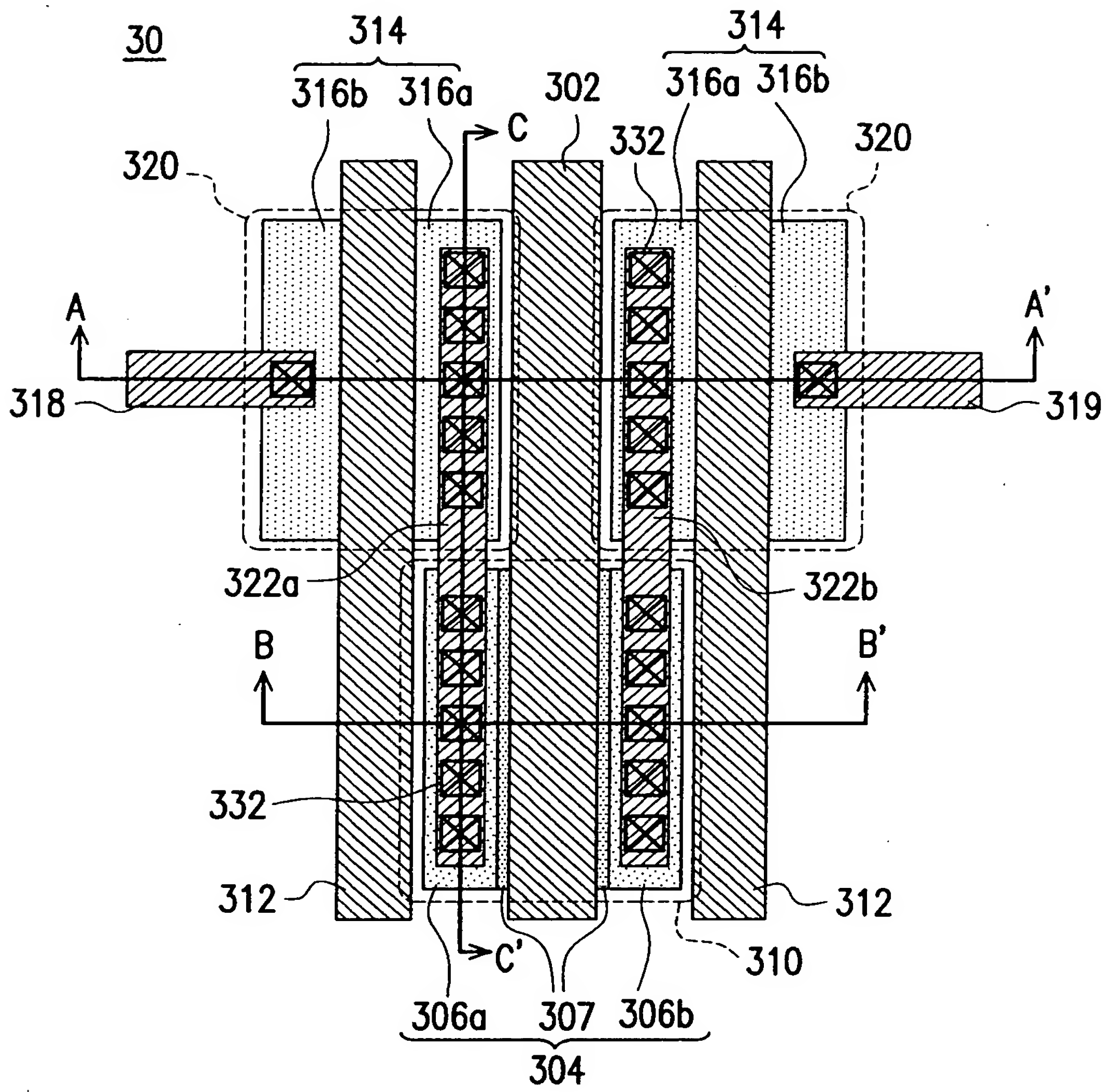
第 1B 圖



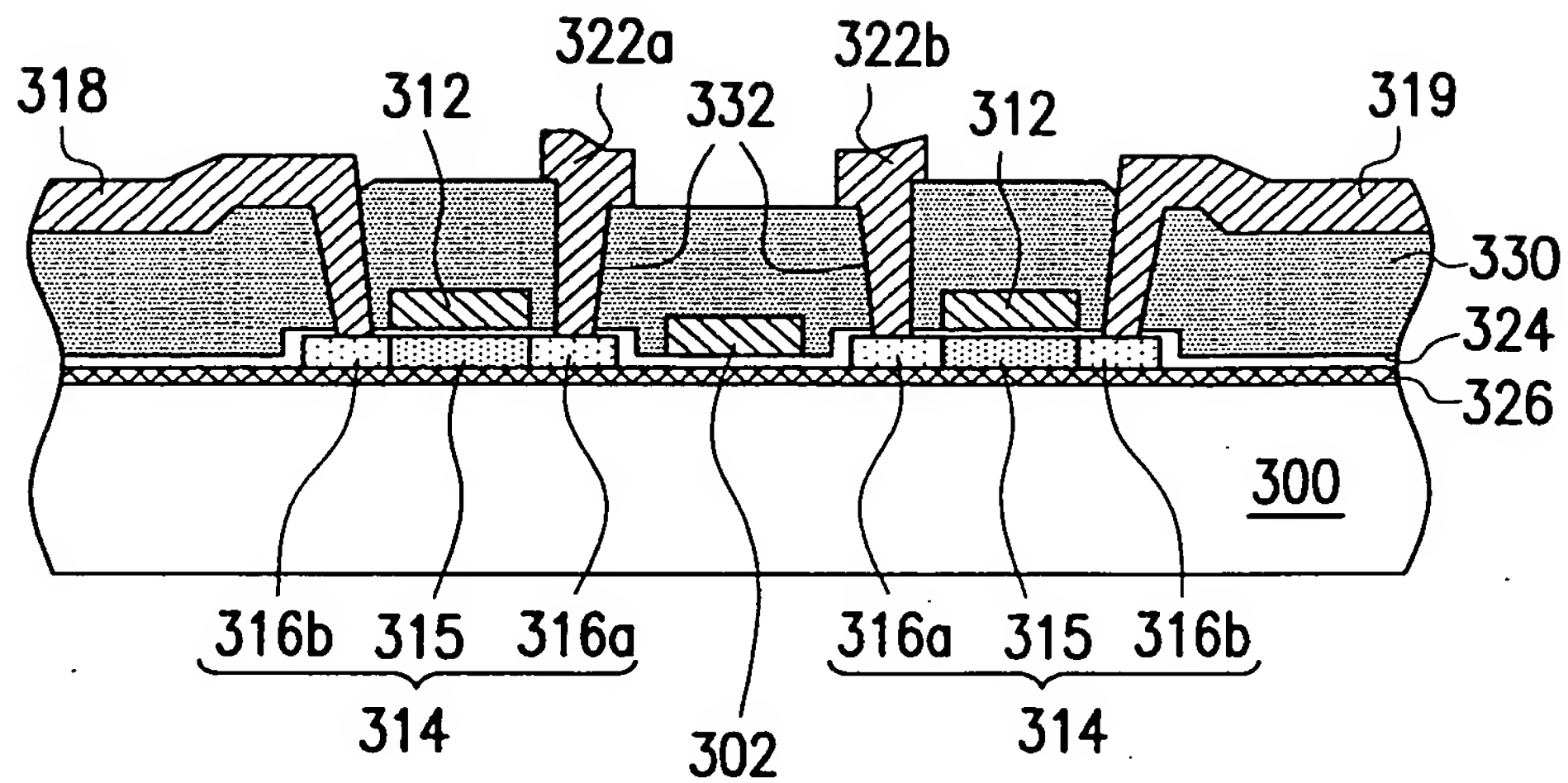
第2A圖



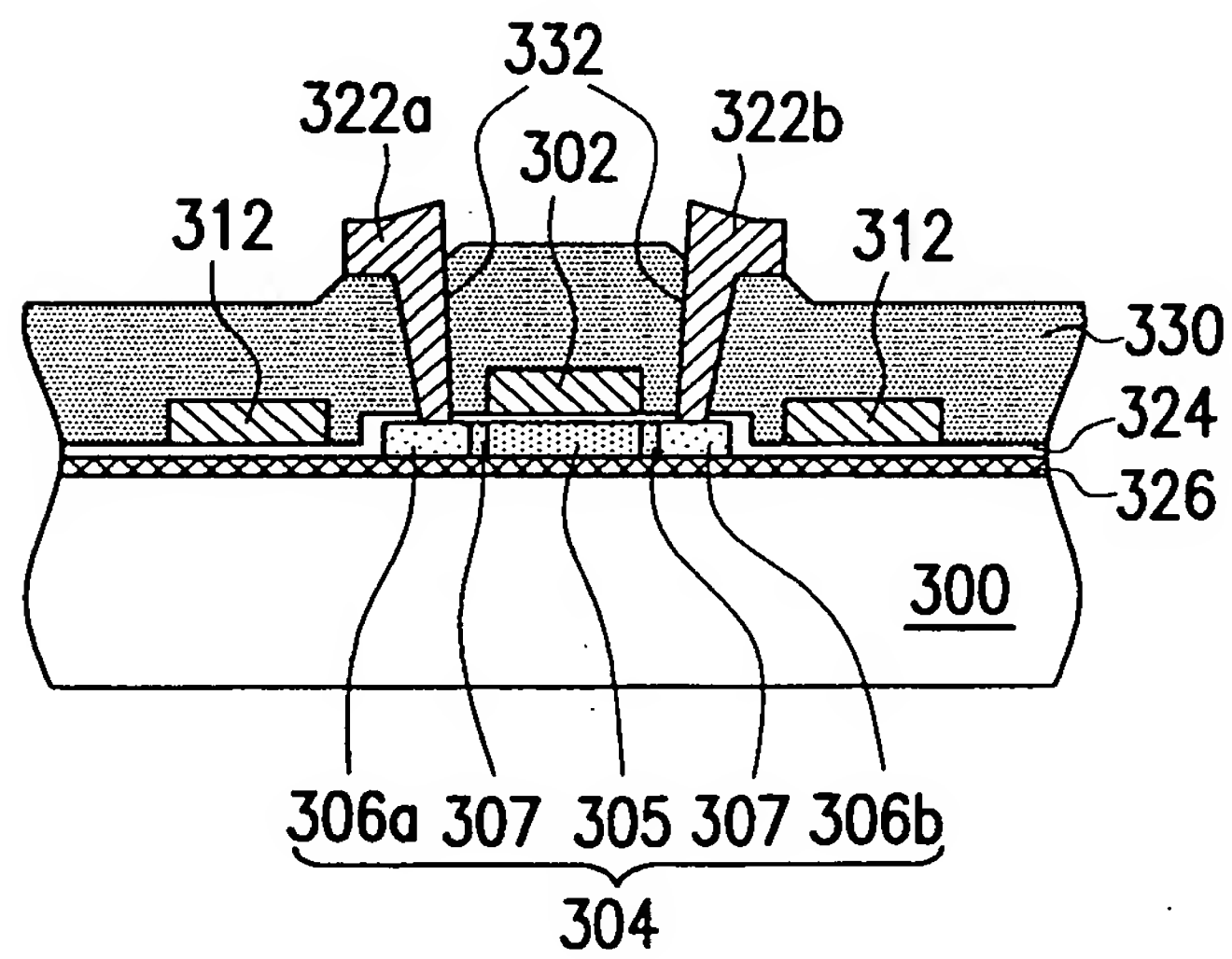
第2B圖



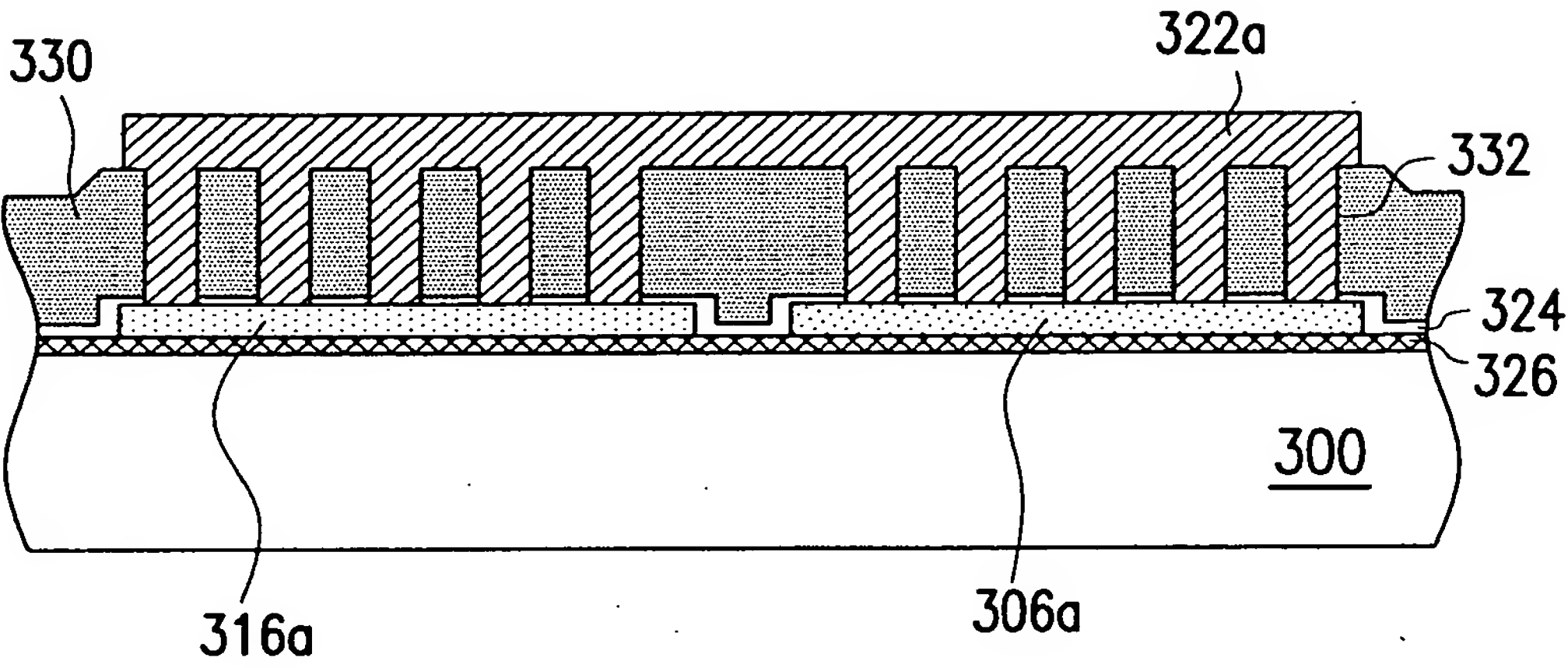
第 3 圖



第 4A 圖

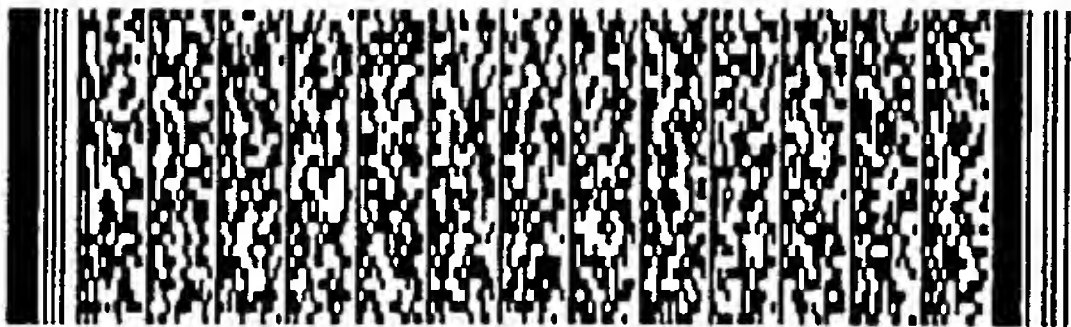


第 4B 圖

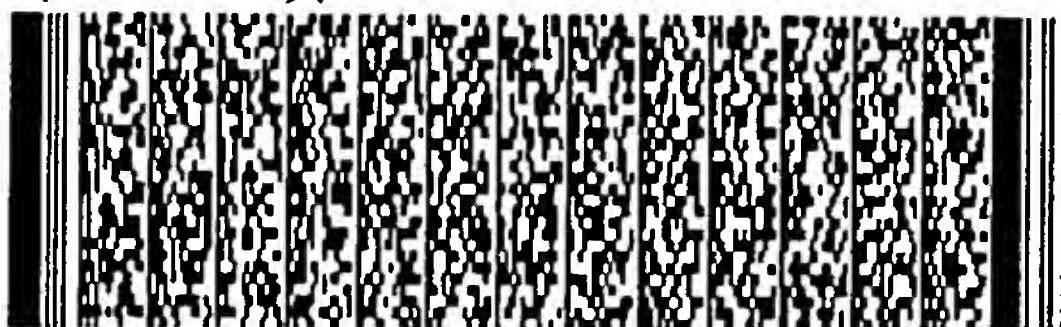


第 4C 圖

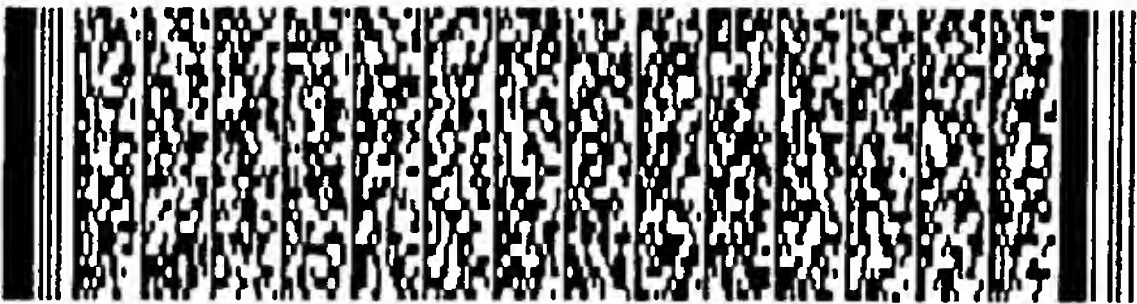
第 1/22 頁



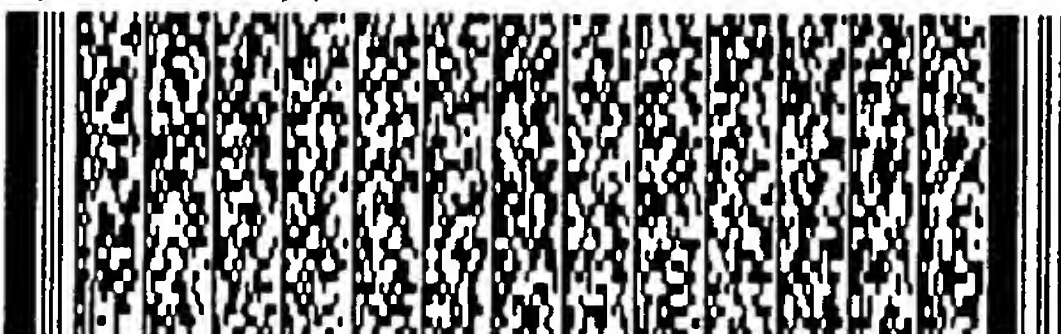
第 1/22 頁



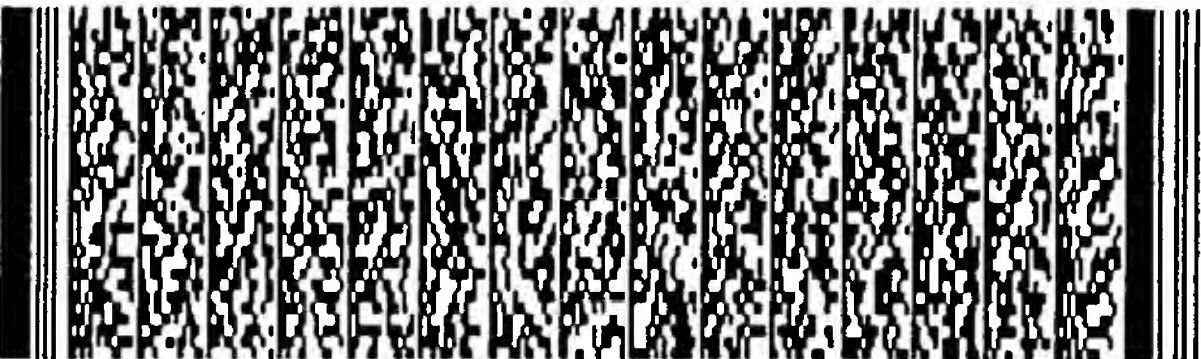
第 2/22 頁



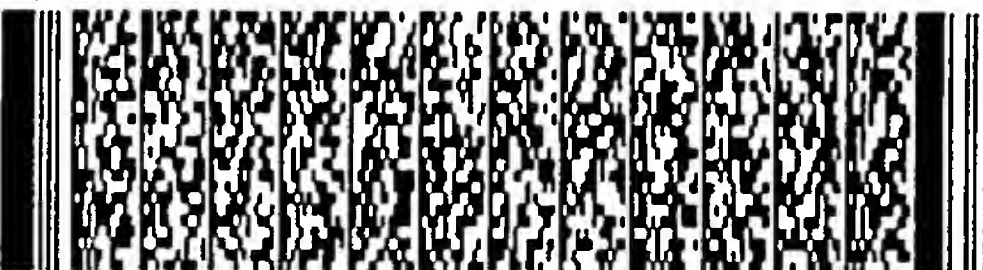
第 2/22 頁



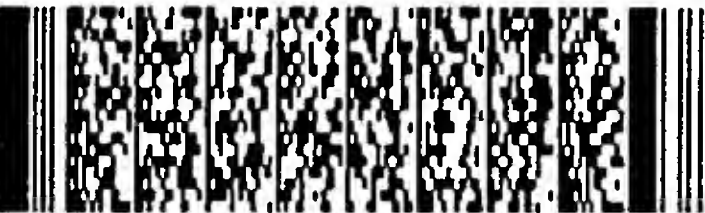
第 3/22 頁



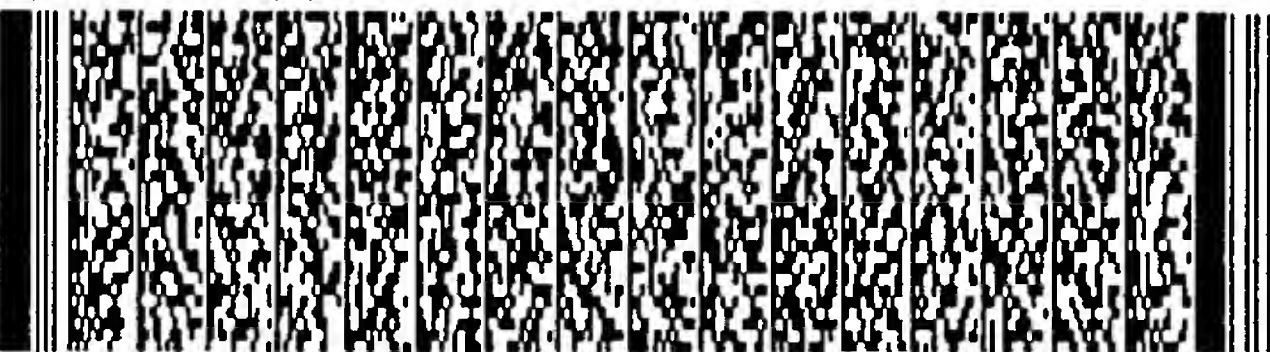
第 4/22 頁



第 5/22 頁



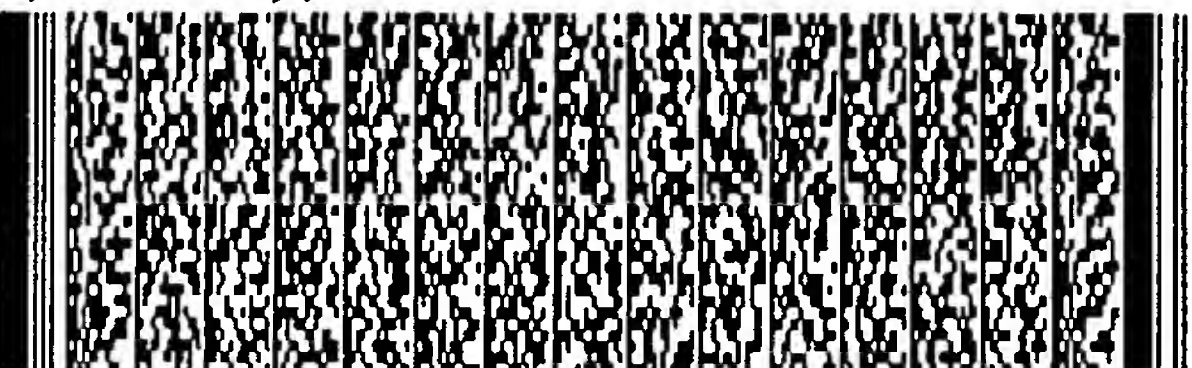
第 6/22 頁



第 6/22 頁



第 7/22 頁



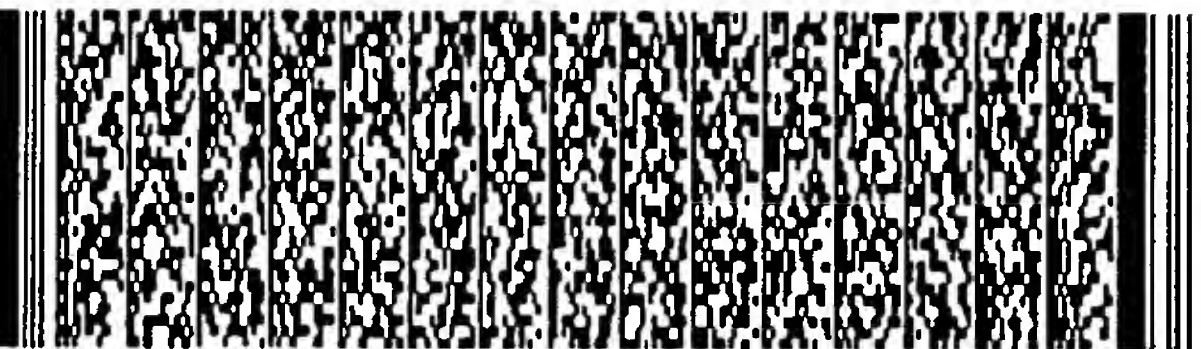
第 7/22 頁



第 8/22 頁



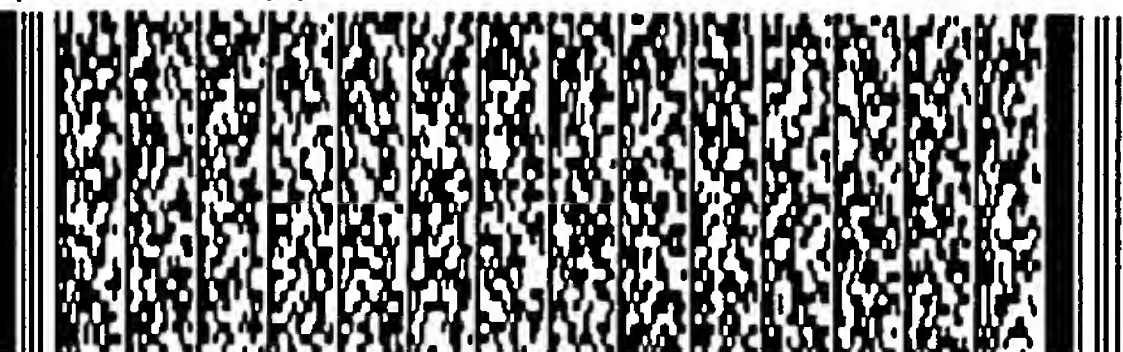
第 8/22 頁



第 9/22 頁



第 9/22 頁



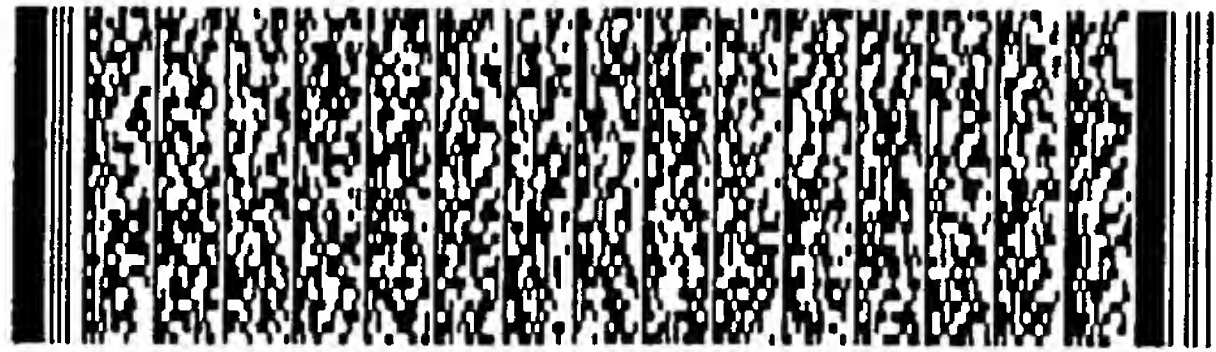
第 10/22 頁



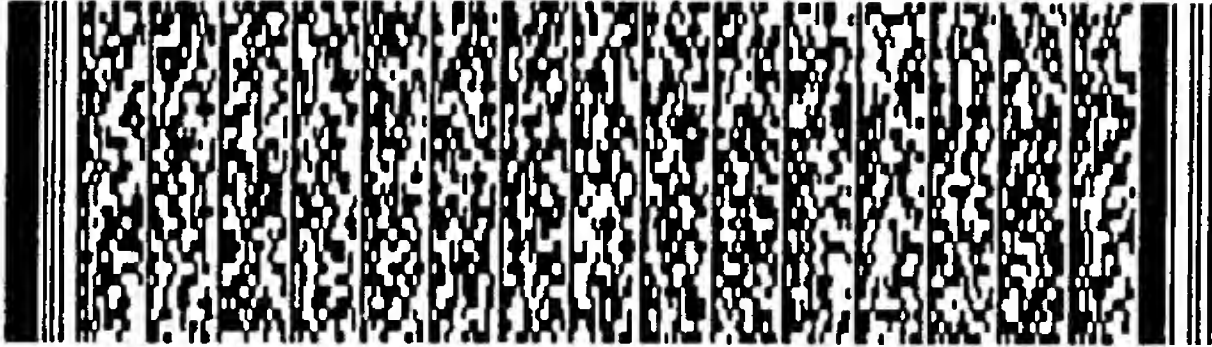
第 10/22 頁



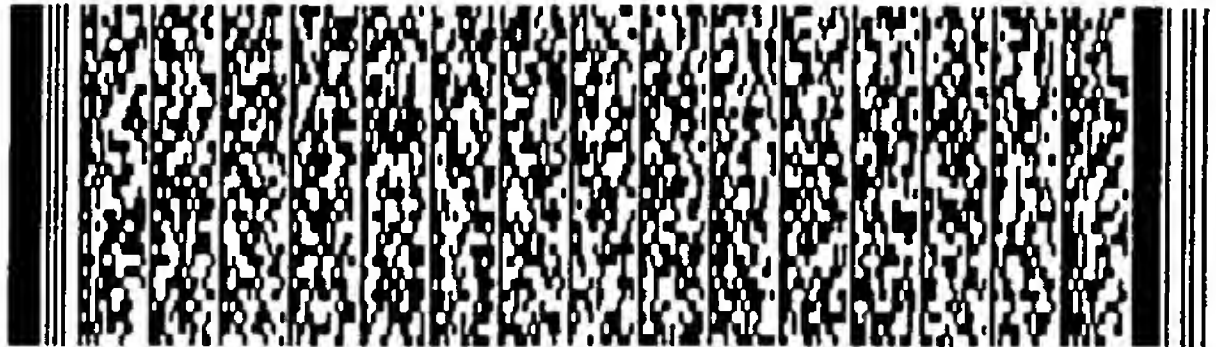
第 11/22 頁



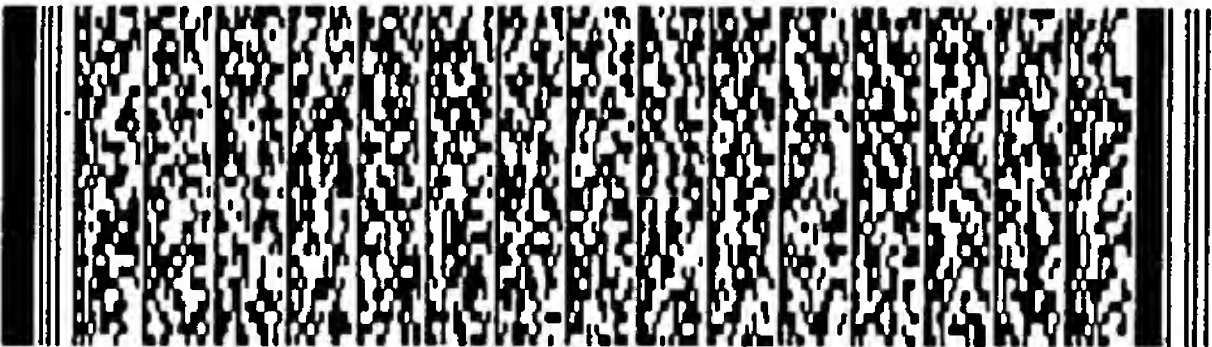
第 11/22 頁



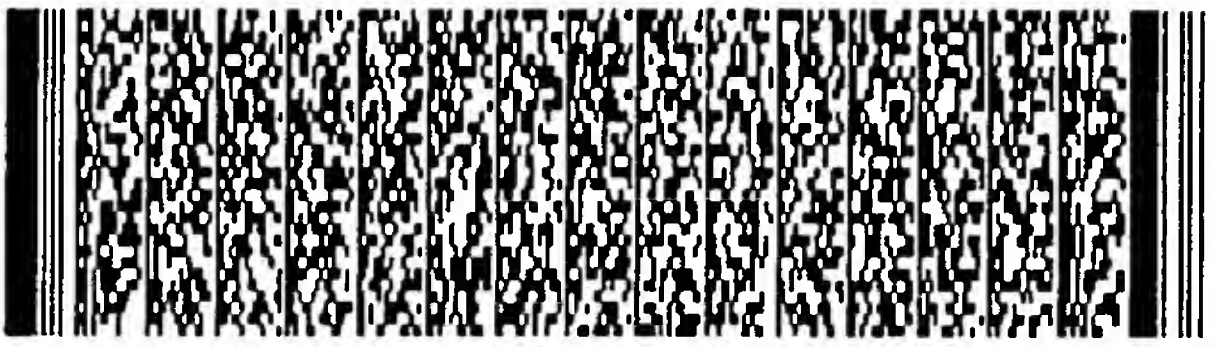
第 12/22 頁



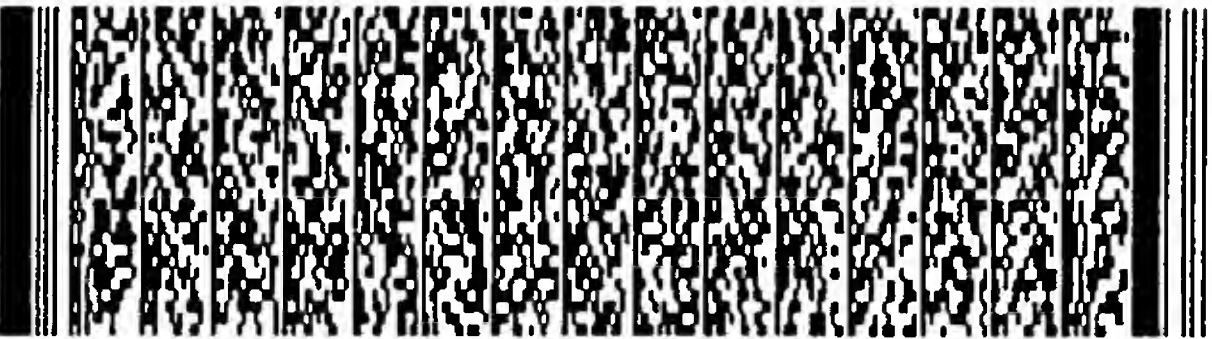
第 12/22 頁



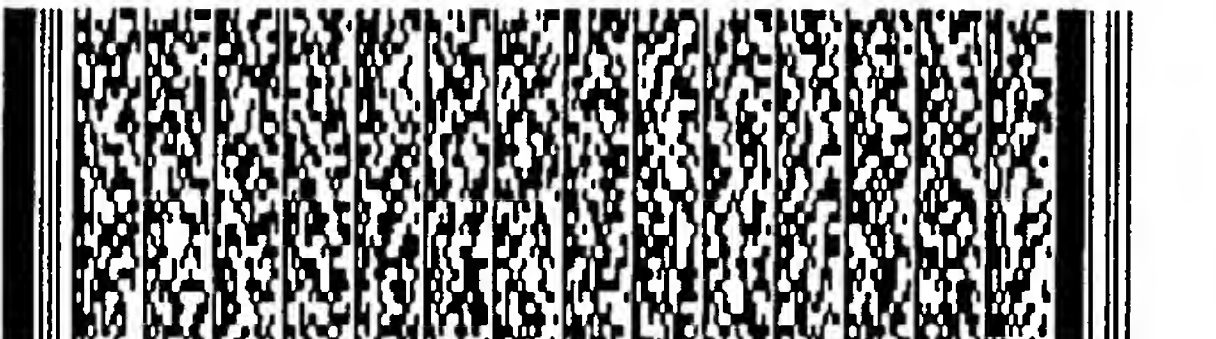
第 13/22 頁



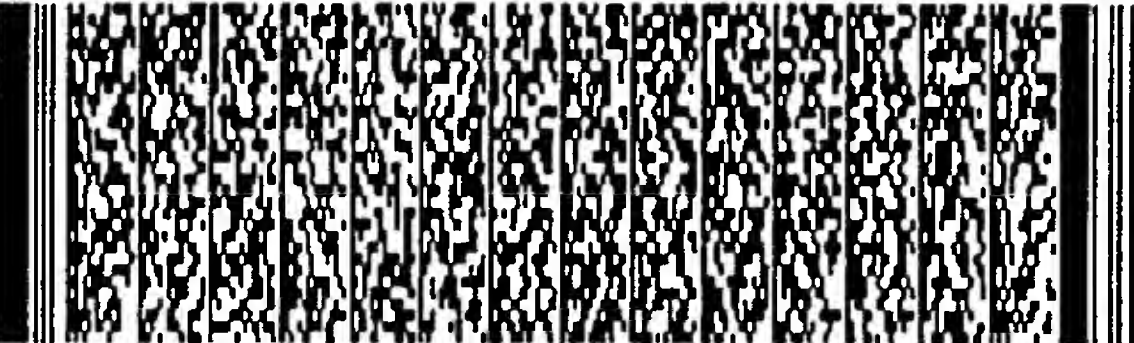
第 13/22 頁



第 14/22 頁



第 14/22 頁



第 15/22 頁



第 15/22 頁



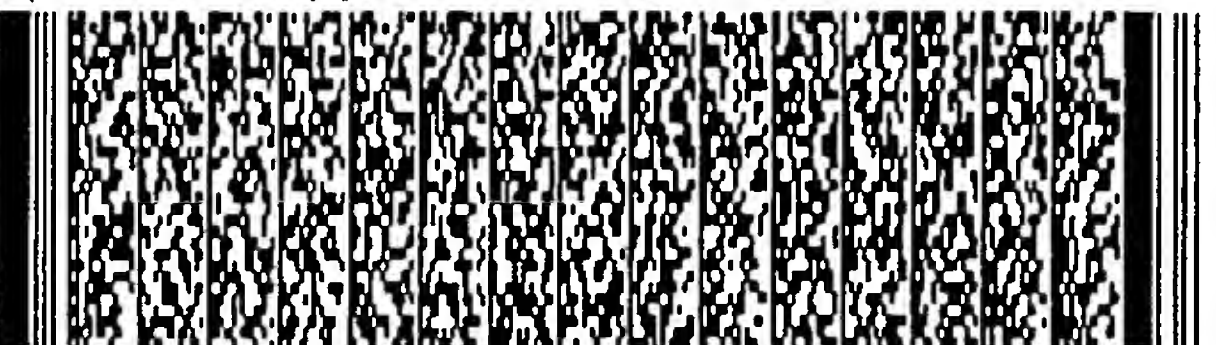
第 16/22 頁



第 17/22 頁



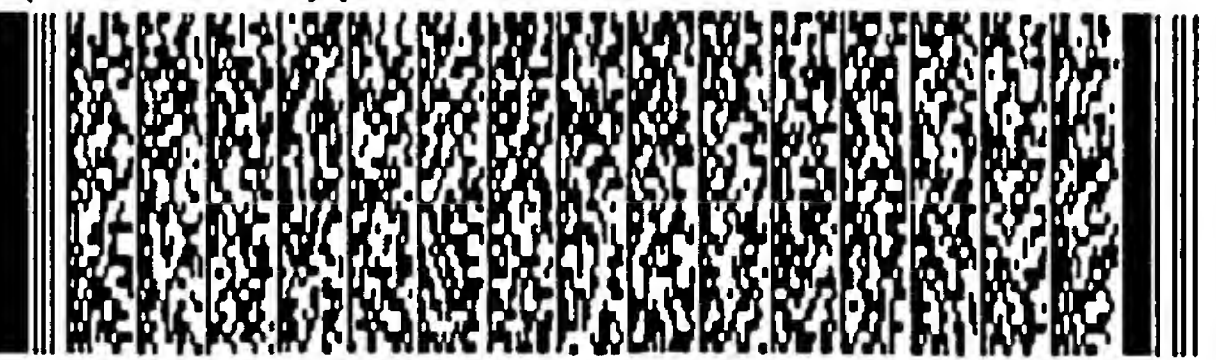
第 18/22 頁



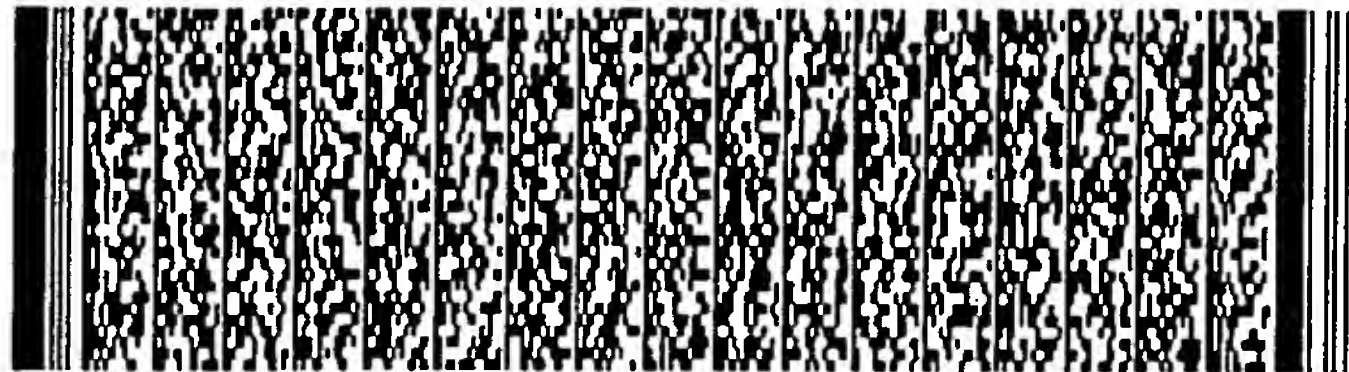
第 19/22 頁



第 20/22 頁



第 21/22 頁



第 22/22 頁

